

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-256175

(43)Date of publication of application : 21.09.2001

(51)Int.Cl.

G06F 13/16

G06F 1/18

(21)Application number : 2000-072483

(71)Applicant : HITACHI LTD

(22)Date of filing : 10.03.2000

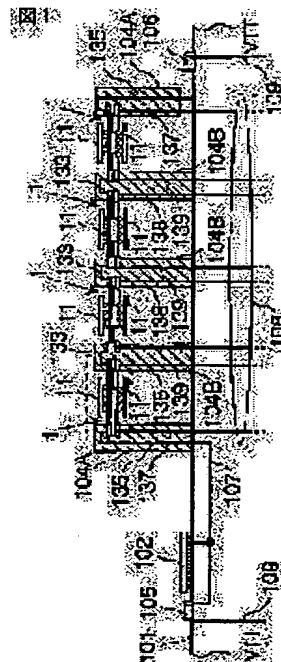
(72)Inventor : SENBA SEIJI  
NISHIO YOJI  
NAKAGOME YOSHINOBU

## (54) MEMORY SYSTEM

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a memory system for suppressing signal reflection on a transmission signal line and enabling high-speed access.

**SOLUTION:** This memory system is provided with a controller (102) capable of controlling a memory operation and memory connectors (104A and 104B) capable of mounting a memory module (1) on a system board (101). The memory module is provided with plural memory chips (11) connected to module data wiring and module power supply wiring. The module data wiring of the respective memory modules is consecutively connected through serial routes (133 and 135) inside the connectors and the individual module data wiring does not constitute branching wiring to system data wiring (107) on the system board. Thus, the signal reflection due to branching from the data wiring on the system board is not generated. Since power is parallelly supplied from the system board through parallel routes (138 and 139) inside the connectors, power supply is stabilized.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-256175

(P2001-256175A)

(43)公開日 平成13年9月21日(2001.9.21)

(51) Int.Cl.'

**識別記号**

FI

テーマート(参考)

G O 6 F 13/16

**5.10**

**G O 6 F 13/16**

510A 5B060

1/18

1/00

3 2 0 F

審査請求 未請求 請求項の数15 O L (全 28 頁)

(21)出願番号 特願2000-72483(P2000-72483)

(22) 出願日 平成12年3月10日(2000.3.10)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 船場 誠司

東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体グループ内

(72) 発明者 西尾 洋二

東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体グループ内

(74) 代理人 100089071

弁理士 玉村 静世

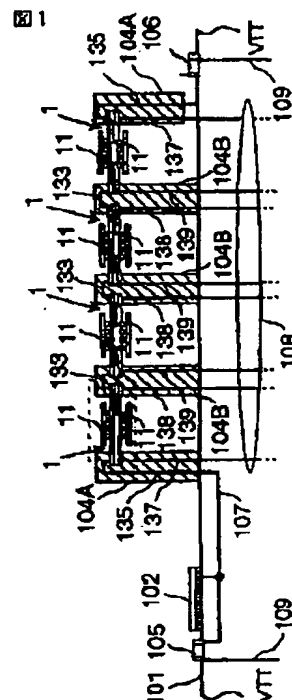
**最終頁に続く**

(54) 【発明の名称】 メモリシステム

(57) 【要約】

【課題】 伝送信号線上での信号反射を抑えて、高速アクセスを可能にするメモリシステムを提供する。

【解決手段】 メモリシステムは、システムボード（１０１）に、メモリ動作を制御可能なコントローラ（１０２）と、メモリモジュール（１）を装着可能なメモリコネクタ（１０４Ａ、１０４Ｂ）とを備える。メモリモジュールはモジュールデータ配線とモジュール電源配線とに接続された複数のメモリチップ（１１）を有する。各メモリモジュールのモジュールデータ配線はコネクタ内の直列経路（１３３、１３５）を介して一連に接続され、個々のモジュールデータ配線は、システムボード上のシステムデータ配線（１０７）に対する分岐配線を構成しない。したがって、システムボード上のデータ配線からの分岐に起因するような信号反射を生じない。電源はコネクタ内の並列経路（１３８、１３９）を介してシステムボードから並列的に供給されるから、電源の供給が安定化する。



**【特許請求の範囲】**

【請求項1】 システムボードに、メモリ動作を制御可能なコントローラと、メモリモジュールを装着可能なメモリコネクタとを備えるメモリシステムであって、前記メモリモジュールは第1のモジュール配線と第2のモジュール配線とに接続された複数のメモリチップを有し、

前記メモリコネクタは、装着された複数のメモリモジュールの第1のモジュール配線をメモリモジュール間で直列的に接続する直列経路と、装着された複数のメモリモジュールの第2のモジュール配線に並列的に接続する並列経路とを有し、

前記システムボードは前記直列経路に接続する第1のシステム配線と、前記並列経路に共通接続する第2のシステム配線とを有して成るものであることを特徴とするメモリシステム。

【請求項2】 前記第1のモジュール配線及び直列経路は第1のシステム配線と直列接続形態を成して前記コントローラに接続するメモリアクセスデータバスを構成し、前記並列経路は電源を供給する第2のシステム配線に対して分岐電源配線を構成するものであることを特徴とする請求項1記載のメモリシステム。

【請求項3】 前記第1のモジュール配線及び直列経路は第1のシステム配線と直列接続形態を成して前記コントローラに接続するクロック配線を構成するものであることを特徴とする請求項1記載のメモリシステム。

【請求項4】 前記第1のモジュール配線及び直列経路は第1のシステム配線と直列接続形態を成して前記コントローラに接続するコマンド・アドレス配線を構成するものであることを特徴とする請求項1記載のメモリシステム。

【請求項5】 システムボードに、メモリを制御可能なコントローラと、メモリモジュールを装着可能なメモリコネクタとを有するメモリシステムであって、前記メモリモジュールは、チップデータ端子を有する複数のメモリチップチップ、複数のメモリチップにおける夫々のチップデータ端子に対応して個別に設けられた複数のモジュールデータ配線、及びモジュール電源配線を有し、

前記メモリコネクタは、装着された複数のメモリモジュールの前記モジュールデータ配線をメモリモジュール間で直列的に接続する直列経路と、装着された複数のメモリモジュールのモジュール電源配線に並列的に接続する並列経路とを有し、

前記システムボードは前記直列経路に接続するシステムデータ配線と、前記並列経路に共通接続するシステム電源配線とを有し、

前記直列経路はメモリコネクタに装着されたメモリモジュールのモジュールデータ配線及びシステムデータ配線と共にメモリアクセスデータバスを構成し、前記並列経

路はメモリコネクタに装着されたメモリモジュールのモジュール電源配線及びシステム電源配線と共に電源配線を構成するものであることを特徴とするメモリシステム。

【請求項6】 システムボードに、メモリの動作を制御可能なコントローラと、メモリモジュールを装着可能なメモリコネクタとを備えるメモリシステムであって、前記メモリモジュールはモジュールデータ配線に接続された複数のメモリチップを有し、

前記メモリコネクタは、装着された複数のメモリモジュールのモジュールデータ配線をメモリモジュール間で直列的に接続する直列経路を有し、

前記システムボードは一端が前記直列経路に接続し他端が終端抵抗に接続され、中間部に前記コントローラのデータ端子が接続されたシステムデータ配線を有して成るものであることを特徴とするメモリシステム。

【請求項7】 前記システムデータ配線と前記コントローラのデータ端子との接続点は一筆書き可能な配線経路に含まれて成るものであることを特徴とする請求項6記載のメモリシステム。

【請求項8】 前記コントローラによるメモリチップの書き込み動作に呼応して前記終端抵抗を前記システムデータ配線から切り離すスイッチ手段を更に有して成るものであることを特徴とする請求項6記載のメモリシステム。

【請求項9】 システムボードに、メモリ動作を制御可能なコントローラと、メモリモジュールを装着可能なメモリコネクタとを備えるメモリシステムであって、前記メモリモジュールはモジュールデータ配線にチップデータ端子が接続された複数のメモリチップを有し、前記メモリコネクタは、装着された複数のメモリモジュールのモジュールデータ配線をメモリモジュール間で直列的に接続する直列経路を有し、

前記システムボードは前記直列経路の一端部に接続すると共に前記コントローラのデータ端子に接続されたシステムデータ配線を有し、

前記メモリチップはチップデータ端子に結合するオープンドレイン出力回路を有し、前記直列経路の他端部に終端抵抗が接続されて成るものであることを特徴とするメモリシステム。

【請求項10】 システムボードに、メモリ動作を制御可能なコントローラと、メモリモジュールを装着可能なメモリコネクタとを備えるメモリシステムであって、前記メモリモジュールはモジュールデータ配線にチップデータ端子が接続された複数のメモリチップを有し、前記メモリコネクタは、装着された複数のメモリモジュールのモジュールデータ配線をメモリモジュール間で直列的に接続する直列経路を有し、

前記システムボードは前記直列経路の一端部に接続すると共に前記コントローラのデータ端子に接続されたシス

テムデータ配線を有し、

前記コントローラはそのデータ端子に結合するオープン  
ドレイン出力回路を有し、前記システムデータ配線に終  
端抵抗が接続されて成るものであることを特徴とするメ  
モリスシステム。

【請求項11】 夫々複数のメモリチップデータ端子を  
有する複数のメモリチップと、  
前記複数のメモリチップにおける夫々のチップデータ端  
子に対応して個別に設けられた複数のモジュールデータ  
配線と、  
前記モジュールデータ配線に別々に接続するコントロー  
ラチップデータ端子を有するコントローラチップと、  
前記夫々のモジュールデータ配線に接続された終端抵抗  
とを有し、  
前記モジュールデータ配線に対する前記コントローラチ  
ップデータ端子の接続点と前記モジュールデータ配線に  
対するメモリチップデータ端子の接続点とは一筆書き可  
能な配線経路に含まれて成るものであることを特徴とす  
るメモリスシステム。

【請求項12】 請求項1乃至11の何れか1項記載の  
メモリスシステムと、前記メモリスシステムに含まれるコン  
トローラに接続され前記メモリスシステムのメモリチップ  
をアクセス可能なデータプロセッサを更に備えて成るも  
のであることを特徴とするデータ処理システム。

【請求項13】 システムボードに、メモリの動作を制  
御可能なコントローラと、メモリモジュールを装着可能  
なメモリコネクタとを備えるメモリスシステムであって、  
前記メモリモジュールはモジュールデータ配線に接続さ  
れた複数のメモリチップを有し、  
前記メモリコネクタは、装着された複数のメモリモジ  
ュールのモジュールデータ配線をメモリモジュール間で直  
列的に接続する直列経路を有し、  
前記システムボードは前記直列経路に接続されると共に  
前記コントローラのデータ端子に接続されたシステムデ  
ータ配線を有し、  
前記コントローラは前記システムデータ配線に接続可能  
な終端抵抗を内蔵して成るものであることを特徴とする  
メモリスシステム。

【請求項14】 システムボードに、メモリ動作を制御  
可能なコントローラと、メモリモジュールを装着可能な  
メモリコネクタとを備えるメモリスシステムであって、  
前記メモリモジュールはモジュールデータ配線にチップ  
データ端子が接続された複数のメモリチップを有し、  
前記メモリコネクタは、装着された複数のメモリモジ  
ュールのモジュールデータ配線をメモリモジュール間で直  
列的に接続する直列経路を有し、  
前記システムボードは前記直列経路の一端部に接続する  
と共に前記コントローラのデータ端子に接続されたシス  
テムデータ配線を有し、  
前記コントローラはそのデータ端子に結合するオープン

ドレイン出力回路と、前記システムデータ配線に接続可  
能な終端抵抗とを有して成るものであることを特徴とす  
るメモリスシステム。

【請求項15】 実装基板と、前記実装基板に実装され  
た複数の接続部とを含むシステムであって、  
前記複数の接続部は、複数のメモリモジュールが接続可  
能とされ、  
前記複数のメモリモジュールの各々は、第1及び第2端  
子を有するメモリチップ、外部端子対、及び前記外部端  
子対の間に接続され且つ前記第1端子に接続される第1  
配線を有し、  
前記複数のメモリモジュールが前記複数の接続部に実装  
された場合、前記複数のメモリモジュールの各々に含ま  
れる前記メモリチップの前記第1端子は第1配線経路を  
介して接続され、前記複数のメモリモジュールの各々に  
含まれる前記メモリチップの前記第2端子は第2配線経  
路を介して接続され、  
前記第1配線経路は、前記実装基板を介さず、前記第1  
配線及び前記複数の接続部を介する経路であり、  
前記第2配線経路は、前記複数のメモリモジュール、前  
記複数の接続部及び前記実装基板を介する経路である  
ことを特徴とするシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、メモリモジュール  
等を用いるメモリスシステムにおいて配線の分岐に起因す  
る伝送信号の反射を抑える技術に関し、高速アクセス対  
応のメモリスシステムに適用して有効な技術に関するもの  
である。

【0002】

【従来の技術】メモリスシステム向けの小振幅インタフ  
ースとしてSSTL (Stub Series Terminated Transce  
iver Logic) がある。SSTLについては、例えば、1  
999年3月、電子情報通信学会発行、英文論文誌VOL.  
E82-C, NO.3, Yasuhiro KONISHI他著、「Interface Te  
chnologies for Memories and ASICs-Review and Futur  
e Direction」に記載されている。

【0003】SSTLによるメモリスシステムは主にマザ  
ーボードに実装されたメモリコントローラ、信号配線、  
コネクタ及びメモリモジュールから構成されている。メ  
モリスシステムはモジュール基板の両面に夫々m個のメ  
モリスチップを有し、m個単位で各メモリチップのデー  
タ端子はモジュールデータ端子に接続され、各メモリチ  
ップのアドレス端子などのアクセス制御データ端子は夫  
々対応するモジュールアクセス制御端子に接続される。前  
記信号配線の片端はメモリコントローラの信号端子に接  
続され、他端は所定の電圧に終端されている。前記信号  
配線には複数のメモリモジュールがコネクタを介して並  
列に接続されている。ここでメモリチップのデータ端子  
の数をn、各メモリモジュールの片面に搭載されている

メモリチップの数を $m$ とすると、本メモリシステムは $m \times n$ のデータ信号配線を有しており、1回のアクセスにおいては、メモリコントローラが発生するチップセレクト信号により複数のメモリモジュールの内の1枚の片面に搭載されている $m$ 個のメモリチップが選択される。前記信号配線の終端は終端抵抗を介して終端電圧に接続されている。またメモリコントローラとコネクタを結ぶ信号配線にはメモリコントローラ用スタブ抵抗が直列接続されている。

【0004】ここで、メモリモジュールのモジュール端子とメモリチップの端子とを結ぶモジュール配線はマザーボードの信号配線からコネクタを介して分岐した配線を構成する。これらのモジュール配線にはスタブ抵抗が配置されている。これらのスタブ抵抗は信号配線における信号反射を緩和するための整合負荷としての役目をもっている。一般に配線の分岐点では特性インピーダンスに不整合が生じ、それを緩和するためのスタブ抵抗が必要となる。配線の特性インピーダンスを $Z_0$ 、スタブ配線の特性インピーダンスを $Z_s$ とすると、スタブ抵抗の抵抗値としては $Z_s = Z_0/2$ が適当である。しかしながら、スタブ抵抗の抵抗値を大きくすると抵抗による電圧降下が大きくなり、これによってアドレスやデータ等の信号電圧が減衰して、メモリ動作に誤りを生ずる虞がある。そうだからといって、信号電圧の減衰を避けるためにスタブ抵抗の抵抗値を小さく抑えようと、逆に信号反射が顕在化し、信号波形が乱れ、同じく誤動作の虞を生ずる。動作が高速化されて信号周波数が高くされるに従い、そしてスタブ抵抗によって対策しようとする分岐配線が長いほど、受信端における信号波形の乱れが大きくなる。

【0005】一方、別のメモリシステムとして、マザーボード上でメモリコントローラに接続された信号配線に複数のメモリモジュールをコネクタを介して直列に接続する形式がある。メモリモジュールには複数のメモリチップがモジュールデータ信号配線を介して一筆書き配線経路で接続されている。このメモリシステムではメモリ素子のデータ信号端子数を $n$ とすると、メモリモジュールの片面に搭載されているメモリ素子の数 $m$ に拘わらず、 $n$ のモジュールデータ信号配線を有し、1回のアクセスでは複数のメモリチップの内の1個のメモリチップが選択される。

【0006】

【発明が解決しようとする課題】上記別のメモリシステムにおいて、マザーボードの信号配線に対して全てのメモリモジュールが直列に接続されており、メモリモジュール内のモジュール信号配線は一列に並んだメモリチップ全てに直列接続され、メモリモジュールの長辺方向に沿って敷設される。したがって、前記SSTLのようにマザーボード上の信号配線に対してメモリモジュールは殆ど分岐配線を形成せず、分岐配線で生じる不所望な信

号反射による波形の乱れといった問題は少ない。

【0007】しかしながら、信号配線の長さが増大し、メモリコントローラから最遠端のメモリチップへの信号伝播時間が長くなり、アクセス時間の遅延が大きくなることが本発明者によって明らかにされた。

【0008】以上のように、SSTL形式ではメモリモジュールのモジュール配線がメモリシステム上で分岐配線を構成する事になり、これによる信号反射による誤動作を生じ、メモリ動作の高速化を制限することになるという問題があり、また、複数のメモリモジュールを直列接続し、各メモリモジュール内のメモリチップを直列的に接続する形式のメモリシステムでは前記SSTLのような信号配線の分岐がほとんど存在しないので分岐配線による問題は少ないが、メモリモジュール内の信号配線が長くなることによってアクセス時間が遅延し、一層の高速アクセスに対応できなくなる虞のあることが本発明者によって明らかにされた。

【0009】本願発明者は本願発明を完成した後、以下の公知例を認識した。特開平5-234355号公報、特開平6-150085号公報には、メモリモジュールの両方の長辺部分にコネクタを設け、複数のメモリモジュールを縦続接続できるようにした発明が開示される。但し、それらにはメモリモジュール内部の配線構造が開示されていない。更に電源やクロック信号等を直列的に供給する場合にはその供給が不安定になる場合のある事が本発明者によって明らかにされた。特開平7-334415号公報には拡張用メモリモジュールを縦続接続可能とする拡張用コネクタを有するメモリモジュールを開示する。特開平7-261892号公報には、メモリモジュールに入り口コネクタと出口コネクタを設け、その間をメモリモジュール上のメモリバスで接続し、当該メモリバスにメモリ素子を直列に接続して、不所望な信号反射を抑えるようにした発明が開示される。しかしながら、前記第1乃至第3の公知例はメモリモジュールを縦続接続してメモリシステムを構成可能にする技術を提供するに過ぎず、第4の公知例はメモリモジュール上のメモリバスに複数のメモリ素子を直列形態に接続する方式を示すに過ぎず、何れの公知例も本願発明に至る着想を与えるものではない。

【0010】本発明の目的は、信号反射による信号波形の乱れを抑えて信号伝送の信頼性を向上させることができると共に、メモリ動作の安定性を増し、また、アクセス時間の増大を抑制することができるメモリシステムを提供することにある。

【0011】本発明の別の目的は、メモリシステムを用いたコンピュータシステムによるデータ処理速度を向上させる事にある。

【0012】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

## 【0013】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0014】〔1〕メモリシステムは、システムボードに、メモリ動作を制御可能なコントローラと、メモリモジュールを装着可能なメモリコネクタとを備える。前記メモリモジュールは第1のモジュール配線と第2のモジュール配線とに接続された複数のメモリチップを有する。前記メモリコネクタは、装着された複数のメモリモジュールの第1のモジュール配線をメモリモジュール間で直列的に接続する直列経路（133、134、135）と、装着された複数のメモリモジュールの第2のモジュール配線に並列的に接続する並列経路（137、138、139）とを有する。前記システムボードは前記直列経路に接続する第1のシステム配線（107）と、前記並列経路に共通接続する第2のシステム配線（108）とを有する。

【0015】前記第1のモジュール配線及び前記直列経路は、例えば、第1のシステム配線と直列接続形態を成して前記コントローラに接続するメモリアクセスデータバスを構成し、前記並列経路は電源を供給する第2のシステム配線に対して分岐電源配線を構成する。

【0016】別の態様として、前記第1のモジュール配線及び直列経路は、例えば第1のシステム配線と直列接続形態を成して前記コントローラに接続するクロック配線を構成する。

【0017】更に別の態様として、前記第1のモジュール配線及び直列経路は第1のシステム配線と直列接続形態を成して前記コントローラに接続するコマンド・アドレス配線を構成する。

【0018】上記メモリシステムでは、メモリモジュール上の第1のモジュール配線（モジュールデータ配線）がメモリアクセスデータバスを構成するから、複数のメモリモジュールを並列させたメモリシステムでは各メモリモジュールのモジュールデータ配線が一連に接続され、個々のモジュールデータ配線は、メモリシステムのシステムボード上の第1のシステム配線に対する分岐配線を構成しない。したがって、システムボード上の第1のシステム配線のようなデータバスに対する分岐に起因するような信号反射を生じない。電源などは並列経路を介してシステムボードから各メモリモジュールに並列的に供給されるから、電源の供給が安定化する。例えば電源をメモリモジュールに直列的に供給すると、途中で一つのメモリモジュールが電源ノイズを生ずるとその影響が後段に伝播する虞がある。上記手段ではそのような虞はなく、メモリ動作に高い信頼性を保証することが可能になる。

【0019】〔2〕更に具体的な観点によるメモリシステムは、システムボードに、メモリを制御可能なコント

ローラと、メモリモジュールを装着可能なメモリコネクタとを有する。前記メモリモジュールは、チップデータ端子を有する複数のメモリチップ、複数のメモリチップにおける夫々のチップデータ端子に対応して個別に設けられた複数のモジュールデータ配線、及びモジュール電源配線を有する。前記メモリコネクタは、装着された複数のメモリモジュールの前記モジュールデータ配線をメモリモジュール間で直列的に接続する直列経路と、装着された複数のメモリモジュールのモジュール電源配線に並列的に接続する並列経路とを有する。前記システムボードは前記直列経路に接続するシステムデータ配線と、前記並列経路に共通接続するシステム電源配線とを有する。前記直列経路はメモリコネクタに装着されたメモリモジュールのモジュールデータ配線及びシステムデータ配線と共にメモリアクセスデータバスを構成し、前記並列経路はメモリコネクタに装着されたメモリモジュールのモジュール電源配線及びシステム電源配線と共に電源配線を構成する。

【0020】この手段によっても上記同様、メモリシステムのマザーボード上のデータバスに対する分岐に起因するような信号反射を生じない。更に、電源などは並列経路を介してシステムボードから各メモリモジュールに並列的に供給されるから、電源の供給が安定化する。その上、上記メモリシステムでは、メモリモジュールは、メモリアクセスデータバスのバス幅に応じたビット数の並列アクセスが保証されている。これにより、アクセス時間の増大を抑制しながら、信号反射による信号波形の乱れを抑えて信号伝送の信頼性を向上させることが可能になる。

【0021】〔3〕更に別の観点によるメモリシステムは、システムボードに、メモリの動作を制御可能なコントローラと、メモリモジュールを装着可能なメモリコネクタとを備え、前記メモリモジュールはモジュールデータ配線に接続された複数のメモリチップを有し、前記メモリコネクタは、装着された複数のメモリモジュールのモジュールデータ配線をメモリモジュール間で直列的に接続する直列経路をする。そして、前記システムボードは一端が前記直列経路に接続し他端が終端抵抗に接続され、中間部に前記コントローラのデータ端子が接続されたシステムデータ配線を有して成る。

【0022】特に、この手段によれば、コントローラのデータ端子は直接システムデータ配線に接続されるから、システムデータ配線からコントローラへの不所望な分岐も実質的に存在せず、その部分でも不所望な信号反射を生じない。

【0023】前記システムデータ配線と前記コントローラのデータ端子との接続点に不所望な分岐を生じていない事を積極的に表明しようとするなら、その接続点は一筆書き可能な配線経路に含まれている、と定義できる。或いは分岐を生じていても、正常動作を保証すべき信号

の状態遷移時間に比べて当該信号が分岐部分の配線経路を往復する時間の方が短くなるように、当該分岐部分の配線経路長が短くされていれば全く問題ない。

【0024】前記コントローラによるメモリチップの書き込み動作に呼応して前記終端抵抗を前記システムデータ配線から切り離してよい。メモリコントローラ側の終端抵抗はメモリチップから読み出された信号反射を想定しているの、メモリチップの書き込み動作に呼応して前記終端抵抗を前記システムデータ配線から切り離せば、低消費電力と、信号振幅を大きくすることが可能になる。

【0025】〔4〕出力回路の形式と終端抵抗に着目すると、メモリシステムは、システムボードに、メモリ動作を制御可能なコントローラと、メモリモジュールを装着可能なメモリコネクタとを備え、前記メモリモジュールはモジュールデータ配線にチップデータ端子が接続された複数のメモリチップを有し、前記メモリコネクタは、装着された複数のメモリモジュールのモジュールデータ配線をメモリモジュール間で直列的に接続する直列経路を有し、前記システムボードは前記直列経路の一端部に接続すると共に前記コントローラのデータ端子に接続されたシステムデータ配線を有する。このとき、前記メモリチップがチップデータ端子に結合するオープンドレイン出力回路を有しているとき、前記システムデータ配線に終端抵抗を設けず、前記直列経路の他端に終端抵抗を接続すればよい。逆に、前記コントローラがそのデータ端子に結合するオープンドレイン出力回路を有しているときは、前記直列経路の他端に終端抵抗を設けず、前記システムデータ配線に終端抵抗を接続すればよい。

【0026】オープンドレイン出力回路は出力インピーダンスが高く出力動作時の出力インピーダンスはほぼ一定に保たれるので、当該オープンドレイン出力回路から出力される信号の伝播遅延部に対しては終端抵抗を設けなくても不所望な電圧反射の影響を受け難い。これによって、低消費電力と、信号振幅を大きくすることが可能になる。

【0027】〔5〕上記メモリシステムは、例えばパーソナル・コンピュータ、ワークステーション、或いはサーバといった、大容量メモリを必要とするデータ処理システムに利用して特に有効である。このとき、前記メモリシステムのコントローラに接続され前記メモリシステムのメモリチップをアクセス可能なデータプロセッサを設けてデータ処理システムが構成される。メモリシステムの周波数を高くしても、上記より信号波形が乱れ難く、高速データ伝送も可能になり、コンピュータシステムによるデータ処理速度の向上に寄与する。

【0028】〔6〕終端抵抗はシステムデータ配線に接続可能に前記コントローラに内蔵させ、システムデータ配線との接続をメモリチップに対するアクセス態様等に従って制御するようにしてもよい。

【0029】

【発明の実施の形態】《第1のメモリシステム》図1は本発明に係るメモリシステムの平面図、図2はメモリシステムの正面図である。

【0030】同図に示されるメモリシステムは、特に制限されないが、マザーボード101にメモリコントローラ102、コネクタ104A、104B、終端抵抗105、106、信号配線107、電源配線108、終端電圧電源配線109を有し、コネクタ104A、104Bに、例えば前記メモリモジュール1が装着されて構成される。

【0031】前記信号配線107は、図2に例示されるデータ信号配線112、アドレス・コマンド信号配線113、クロック信号配線117から構成されている。

【0032】図2に示されるように、一つのメモリモジュール1の同一の面に搭載されているメモリチップ11のメモリアドレス・コマンド入力端子とコマンド・アドレスバッファチップ12のアドレス・コマンド信号出力端子はそれぞれモジュールアドレス・コマンド分配配線19によって接続されており、メモリモジュール1上のメモリチップ11はアドレス・コマンド信号を前記アドレス・コマンドバッファチップ12からモジュールアドレス・コマンド分配配線19を介して受取る。また、一つのメモリモジュール1の同一の面に搭載されているメモリチップ11のクロック入力端子とアドレス・コマンドバッファチップ12のクロック入力端子とPLLチップ13のクロック出力端子はそれぞれクロック分配配線20によって接続されており、メモリチップ11とアドレス・コマンドバッファチップ12はクロック信号をPLLチップ13からクロック分配配線20を介して受取る。

【0033】また、図2に示されるように、一つのメモリモジュール1の同一の面に搭載されているメモリチップ11のメモリデータ端子はメモリモジュール1に形成されているモジュールデータ配線15に接続され、コマンド・アドレスバッファチップ12のコマンド・アドレス入力端子はメモリモジュール1に形成されているモジュールコマンド・アドレス配線16に接続され、PLLチップ13のクロック入力端子はメモリモジュール1に形成されているクロック配線17に接続される。

【0034】図1に例示されるように、複数のメモリモジュール1はマザーボード101上で平行に配置され、メモリモジュール1は左右のコネクタ104A、104Bによって相互に直列形態で接続される。

【0035】図1を参照すると、前記コネクタ104A、104Bは、装着された複数のメモリモジュール1のモジュールデータ配線15（モジュールコマンド・アドレス配線16、モジュールクロック配線17）を夫々メモリモジュール1の間で直列的に接続するコネクタ内配線135、133を有し、それらコネクタ内配線135、133はモジュールデータ配線15（モジュールコ

マンド・アドレス配線16、モジュールクロック配線17)を直列形態に接続する直列経路を構成する。また、図1及び図2には図示を省略してあるが、モジュール基板には比較的幅広い数種類の電源パターンとしてのモジュール電源配線が形成されている。このモジュール電源配線はコネクタ内電源配線137、138、139に並列的に接続して並列経路を構成する。

【0036】図2に例示されるように、コネクタ104A、104Bはマザーボード101からメモリモジュール1に電源を供給するための電源配線108を持ち、また隣り合うメモリモジュールの信号端子間を接続する信号配線107(112、113、117)を持っている。前記信号配線107は前記直列経路に接続する第1のシステム配線を構成し、前記電源配線108は前記並列経路に共通接続する第2のシステム配線を構成する。マザーボード上で信号配線107はメモリコントローラ102の下を通り、複数のメモリモジュール11内及びコネクタ104A、104B内に導通し、その両端あるいは少なくとも片側の端には終端抵抗105、106を介して終端電源配線109で所定の電圧VTTに終端されている。

【0037】図2に示されるように、前記メモリコントローラ102の信号端子はメモリコントローラ102の下を通過する信号配線107にメモリコントローラ102下面側で接続している。図1のように、メモリモジュール1上のメモリチップ11のデータ端子はメモリモジュール1を通過するデータ信号配線112に接続している。なおアドレス・コマンド信号配線113及びクロック信号配線117に対してはメモリコントローラ102側の終端抵抗114は無くてもよい。アドレス・コマンド信号及びクロック信号は一方方向にのみ伝播される信号だからである。メモリモジュール1上のアドレス・コマンドバッファ12のアドレス・コマンド入力端子はメモリモジュール1を通過するアドレス・コマンド信号配線113にそれぞれ接続している。メモリモジュール1上のPLLチップ13のクロック入力端子はメモリモジュール1を通過するクロック信号配線117に接続している。ここでメモリチップ11のデータ端子数を $n$ 、メモリモジュール1の片面に搭載されているメモリチップ11の数を $m$ とすると、図1のメモリシステムは $m \times n$ のデータ信号配線112を有しており、1回のアクセスにおいてはメモリコントローラ102が発生するコマンド信号のうちのチップセレクト信号により複数のメモリモジュールの内の一つのメモリモジュールの片面に搭載されている $m$ 個のメモリチップ11が選択されるようになっている。

【0038】図3は図1及び図2のメモリシステムの概略的な等価回路図であり、特に1本のデータ信号配線系を示している。このデータ信号配線系を回路的に見ると、主に終端電源109、終端抵抗105、106、マ

ザーボードのデータ信号配線112、コネクタ104Aの内部配線135、コネクタ104Bの内部配線135、メモリモジュール1のモジュールデータ配線15が直列に接続されている。ここでマザーボード101のデータ信号配線112及びメモリモジュールのモジュールデータ配線15の全体の長さは数10mmとなるので、回路的には伝送線として扱われる。そしてマザーボード101のデータ信号配線112の終端抵抗105側の片端にはメモリコントローラ102のメモリコントローラI/O端子128があり、メモリコントローラ102の出力回路123の出力容量及びメモリコントローラ102の入力回路124の入力容量等がメモリコントローラI/O負荷容量125として見えている。また同様に各メモリモジュール1のデータ信号配線15の途中にはメモリチップ11のデータ端子(I/O端子)129があり、メモリチップ11の出力回路120の出力容量及び入力回路121の入力容量等がメモリI/O負荷容量122として見えている。メモリコントローラ出力回路123及びメモリチップ11の出力回路120において回路方式はプッシュプル型、オープンドレイン型などが考えられるがここでは特に問わない。また、特に図示はしないが、例えばスルーレートを制御する機構や、出力インピーダンスを制御する機構があってもよい。このデータ信号配線系において両側が終端抵抗で終端されているのは、メモリコントローラ出力回路123からメモリチップ11の入力回路121へ伝送される信号とメモリチップ11の出力回路120からメモリコントローラ入力回路124へ伝送される信号の両方に対して反射を防ぐ事が目的である。従って、メモリコントローラ102のアドレス出力やコマンド出力のような一方方向のみの信号伝送経路に対しては遠端にだけ終端抵抗を配置してよく、前述のように、図1の終端抵抗114は省略しても差し支えない。

【0039】ここで、前記メモリモジュール1の一例を説明する。図4はメモリモジュール1の平面図、図5は側面図である。図4及び図5に示されるメモリモジュール1は、エポキシ樹脂等で成るような概略長方形のモジュール基板10の表裏に、複数のメモリチップ11、コマンド・アドレスバッファチップ12、及びPLLチップ13が夫々実装される。

【0040】メモリモジュール1は、モジュール内の配線として、モジュール基板10の短辺方向に、モジュールデータ配線15、モジュールコマンド・アドレス配線16、モジュールクロック配線17を有し、モジュール基板10の長辺方向に、モジュールコマンド・アドレス分配配線19、及びモジュールクロック分配配線20を有する。モジュールコマンド・アドレス分配配線19及びモジュールクロック分配配線20には終端抵抗22、23が設けられている。終端抵抗22、23はモジュールコマンド・アドレス分配配線19、モジュールクロック



ク分配配線20の末端を終端電源に終端しており、接続されている配線の特性インピーダンスもしくは実効的な特性インピーダンスの抵抗値を有している。それら配線15、16、17、19、20はモジュール基板10の表裏に同等に形成されている。尚、メモリモジュール上のマーク28はメモリモジュール1をコネクタに装着する際、メモリモジュール1の装着方向を指示するものである。

【0041】メモリモジュール1はモジュール外部端子として、モジュール基板10の対向する長辺部分にモジュールデータ端子対24R、24L、モジュールコマンド・アドレス端子対25R、25L、及びモジュールクロック端子対26R、26Lを有する。それらモジュール外部端子24R、24L、25R、25L、26R、26Lはモジュール基板10の表裏に同等に形成されている。

【0042】前記モジュールデータ配線15は左右の対応するモジュールデータ端子対24R、24Lを接続する。そしてモジュールデータ配線15の途中に、メモリチップ11のメモリデータ端子Dmが接続される。メモリチップ11は例えば回路基板実装用のバンプ電極をアレイ状に有するフリップチップ（若しくはフリップチップ型半導体集積回路）である。メモリデータ端子Dmは例えばフリップチップの半田バンプ電極とされる。メモリチップ11においてそのようなメモリデータ端子Dmには○印が付されている。

【0043】前記モジュールコマンド・アドレス配線16は左右の対応するモジュールコマンド・アドレス端子対25R、25Lを接続する。そしてモジュールコマンド・アドレス配線16の途中に、コマンド・アドレスバッファチップ12のバッファコマンド・アドレス入力端子CAiが接続される。例えばコマンド・アドレスバッファチップ12も前記フリップチップであり、前記バッファコマンド・アドレス入力端子CAiは半田バンプ電極とされ、コマンド・アドレスバッファチップ12においてそのようなバッファコマンド・アドレス入力端子CAiは○印が付されている。

【0044】前記モジュールクロック配線17は左右の対応するモジュールクロック端子対26R、26Lを接続する。そしてモジュールクロック配線17の途中に、PLLチップ13のPLLクロック入力端子CLiが接続される。例えばPLLチップ13はフリップチップであり、PLLクロック入力端子CLiは半田バンプ電極とされ、PLLチップ13においてそのようなPLLクロック入力端子CLiは○印が付されている。

【0045】前記モジュールコマンド・アドレス分配配線19はモジュール基板10の長辺方向に沿って敷設され、その中間部分が前記コマンド・アドレスバッファチップ12のバッファコマンド・アドレス出力端子CAjに接続される。同様にモジュールクロック分配配線20

はモジュール基板10の長辺方向に沿って敷設され、その中間部分がPLLクロック出力端子CLjに接続される。前記バッファコマンド・アドレス出力端子CAj及びPLLクロック出力端子CLjは三角形で示された出力バッファの出力端子が接続されているようにシンボリックに表示されている。

【0046】前記メモリチップ11のコマンド・アドレス入力用のメモリコマンド・アドレス端子（図示せず）は前記モジュールコマンド・アドレス分配配線19に接続され、また、前記メモリチップ11のクロック入力用のメモリクロック端子（図示せず）及びバッファチップ12のクロック入力用のバッファクロック端子（図示せず）は前記モジュールクロック分配配線20に接続される。メモリチップ11及びバッファチップ12はPLLチップ13からモジュールクロック分配配線20を介して供給されるクロック信号に同期して、メモリ動作及びラッチ動作が可能にされる。

【0047】なお、図4では前記メモリコマンド・アドレス端子、メモリクロック端子、バッファクロック端子、及びチップ電源端子は明示的に図示していない。また、図4において動作電源用のモジュール電源端子は符号202L、202Rで示される。

【0048】図6には前記メモリモジュール1におけるメモリチップに関する布線の例が示される。モジュール基板10は、表裏夫々について第1層（表層）及び第2層（内層）の2層配線構造を有し、第1層の配線は実線で示し、第2層の配線は破線で示す。図において○印はメモリチップのバンプ電極のような外部端子、●印は配線層のヴィア（層間孔）である。図のメモリチップはシンクロナスDRAMを一例とするものであり、A0～A13はアドレス、D0～15はデータ、CLK、/CLKは2相クロックである。CKEはクロックイネーブル、DML、DMUはデータマスク、/CSはチップ選択、/RASはロウアドレスストロープ、/CASはカラムアドレスストロープ、/WEはライトイネーブル、DQSL、DQSUはデータストロープ、のアクセス制御信号若しくはコマンド信号である。図6に示されるVCCQ、VSSQ、VCC、VSS、VSSQは電源端子である。

【0049】モジュールコマンド・アドレス分配配線19及びモジュールクロック分配配線20はモジュール基板10上のモジュールデータ配線15に直交する形で布線される。図6より明かなように、それぞれの信号配線19、20はメモリチップ11の対応端子と一筆書き可能な配線経路を介して接続される。この一筆書き配線経路によれば、モジュールコマンド・アドレス分配配線19及びモジュールクロック分配配線20それ自体に分岐のないことは明らかである。

【0050】不所望な信号反射の抑制という観点からすれば、前記一筆書き経路は最適であるが、全ての配線分

岐を否定するものではない。大凡以下の条件を満足すれば不所望な信号反射を生じない。すなわち、D0、D1等のためのモジュールデータ配線15はモジュール基板10の第2層の配線層に形成されており、ビア（層間孔）を介してメモリチップ11のメモリデータ端子Dmに接続するとき、ビアの部分が僅かに分岐部を形成する。したがって、モジュールデータ配線15は一筆書き可能な第1の配線経路になるがこの第1の配線経路から分岐してメモリデータ端子Dmに接続するビアの部分が第2の配線経路を構成することになる。このとき、前記第2の配線経路の配線経路長は、例えば正常動作を保證すべき信号の状態遷移時間に比べて当該信号が前記第2の配線経路を往復する時間の方が短くなるように設定されていればよい。要するは、信号反射の点で無視し得るほど信号経路の短い分岐部分は実質的に一筆書き配線経路の一部と見なし得てもよい。

【0051】図6のD0、D1のように前記メモリデータ端子を少なくとも隣接する端子相互間でモジュールデータ配線の延在方向にずらして配置すると、メモリデータ端子Dmとモジュールデータ配線15とのコンタクトが形成し易くなる。

【0052】図7はコネクタ104A、104Bのデータ配線部分を概略的に示す縦断面図である。コネクタ104Aは一方の側面に1条の水平溝を有し、この水平溝の内面の上面及び下面にコネクタ端子列130が形成されている。コネクタ端子列130はコネクタ端子毎にコネクタ内配線135を介してデータ信号配線112の対応配線に接続される。コネクタ104Bは両側面に夫々1条の水平溝を有し、この水平溝の内面の上面及び下面にコネクタ端子列131、132が形成されている。このコネクタ端子列131の端子とコネクタ端子列132の端子とは対応端子同士がコネクタ内配線133、134によって直列に接続されている。

【0053】図8はコネクタ104A、104Bの電源配線部分を概略的に示す縦断面図である。マザーボード101には電源配線108が設けられ、前記電源配線108には、コネクタ端子列130に含まれる電源コネクタ端子がコネクタ内配線137を介して接続され、コネクタ端子列131に含まれる電源コネクタ端子がコネクタ内配線138を介して接続され、コネクタ端子列132に含まれる電源コネクタ端子がコネクタ内配線139を介して接続される。電源に関しても図7の接続を採用する事は可能であるが、図8の接続形態を採用した方がメモリチップ11などに対する電源供給が安定化する。前記コマンド・アドレス配線113に関しても電源配線136と同じようにコネクタ104A、104Bのコネクタ端子列130、131、132に接続してもよい。

【0054】図9はコネクタ104A、104Bに上記メモリモジュール1を装着する際の斜視図である。前記コネクタ104A、104Bに上記メモリモジュール1

を装着するには、図9のように、メモリモジュール1の端子列がコネクタ104A、104Bの端子列130、131に挿入するように差し込む。このときコネクタのマーク140はメモリモジュール1の面の向きや方向を指示するためのもので、メモリモジュール1の装着方向指示マーク28とコネクタのマーク140が最も近づくようにメモリモジュール1の面と方向を合わせる。

【0055】図10はコネクタ104A、104Bに上記メモリモジュール1を装着した時の断面図である。図10では便宜上、メモリモジュール1の上側のメモリチップに接続する経路を信号経路とし、メモリモジュール1の下側のメモリチップに接続する経路を電源経路としている。データ信号経路はコネクタ104A、104B及びメモリモジュール1を分岐せずに通過する配線経路とされる。また各メモリモジュール1の電源配線もマザーボード101の電源配線108とそれぞれ装着されているコネクタ104A、104Bを介して接続されるので、十分な電力供給を実現でき、電源の電圧降下を防止する事ができる。

【0056】上記第1のメモリシステムによれば以下の作用効果を得ることができる。図1及び図2より明らかなように、メモリモジュール1上のモジュールデータ配線15は、マザーボード101上のデータ信号配線112と共にメモリアクセスデータバスを構成するから、複数のメモリモジュール1を直列させたメモリシステムでは、各メモリモジュール1のモジュールデータ配線15が一連に接続され、個々のモジュールデータ配線15は、メモリシステムのマザーボード101上のデータ信号配線112に対する分岐配線を構成しない。したがって、メモリシステムのマザーボード101上のデータ信号配線112に対する分岐に起因するような信号反射を生じない。例えば、図11及び図12のSSTLインタフェースを有する比較例に係るメモリシステムの場合には、マザーボード上のバスに対してメモリモジュールは分岐接続されているから、各分岐毎にスタブ抵抗を配置して不所望な信号反射に対処しようとしている。このため比較例ではマザーボード上のバス信号の振幅が小さくなって安定動作が妨げられてしまう。図1及び図2のメモリシステムではマザーボード上の信号配線の不所望な負荷は大きくなり、信号反射を阻止する構成が信号振幅の低下を妨げることはない。

【0057】更に、個々のメモリモジュール1上において、メモリチップ11のデータ端子Dmは直接前記モジュールデータ配線15に接続するから、モジュールデータ配線15に対する分岐に起因するような信号反射も生じない。

【0058】そして、メモリモジュール1は、メモリアクセスデータバスのバス幅に応じたビット数の並列アクセスが保證されている。これにより、アクセス時間の増大を抑制しながら、信号反射による信号波形の乱れを抑

えて信号伝送の信頼性を向上させることが可能になる。図13及び図14に示される比較例の場合にはメモリモジュール上で複数のメモリチップはモジュール内データバスを共有し、メモリモジュールはシリアルバスに直列的に接続され、当該メモリモジュールはシリアルバスに分岐接続されていないから分岐に起因する信号反射は実質的に生じないが、バスが長くなって配線遅延が増大するために、高速アクセスには限界がある。

【0059】電源などは前記コネクタ内配線137、138、139から成る並列経路を介してマザーボード101から各メモリモジュール1に並列的に供給されるから、電源やクロックの供給が安定化する。例えば電源をメモリモジュールに直列的に供給すると、途中で一つのメモリモジュールが電源ノイズを生ずるとその影響が後段に伝播する虞がある。並列経路から動作電源を並列に供給する場合にはそのような虞はなく、メモリ動作に高い信頼性を保証することが可能になる。

【0060】モジュールデータ端子対24L、24Rやモジュールデータ配線15の態様として、前記複数のメモリチップ11がモジュール基板10の長手方向に沿って配列されるとき、前記モジュールデータ端子対24L、24Rはモジュール基板10のメモリチップ搭載面における一方の長辺部分と他方の長辺部分とに配置する。換言すると、前記モジュールデータ配線15を、モジュール基板10のメモリチップ搭載面における一方の長辺部分から他方の長辺部分に向けて延在させる。これにより、モジュールデータ配線15の配線長は必然的に短くなり、配線の寄生容量や配線抵抗が小さくなる。

【0061】モジュールデータ配線15をモジュール基板10の短辺方向に直線状に敷設し、モジュールコマンド・アドレス配線16、20を概略十字字に敷設するから、モジュールデータ配線と共にモジュールコマンド・アドレス配線の配線長短縮に最適である。

【0062】また、モジュールアドレス端子対25R、25Lを結合する前記モジュールコマンド・アドレス配線16は、コマンド・アドレスバッファチップ12を介してコマンド・アドレス分配配線19と分離されているから、モジュールコマンド・アドレス配線16上に無視し得ないインピーダンス不整合点が形成されることも阻止可能である。

【0063】前記モジュールコマンド・アドレス分配配線19配線に対しては、その特性インピーダンスを有する抵抗素子22、23で終端することによって、モジュールコマンド・アドレス配線19の端が整合終端され、当該配線19において信号反射による波形の乱れを極力抑えることが可能になる。

【0064】ここで、図1及び図2のメモリシステムにおけるデータ信号波形のシミュレーション結果を説明する。

【0065】先ず、比較例として、図15には図11の

形式のメモリシステムにおけるSSTLのシミュレーション回路が示される。図16の(A)には図15のシミュレーション回路におけるライト時のSSTL信号波形シミュレーションの結果が示される。図16の(B)には図15のシミュレーション回路におけるリード時のSSTL信号波形シミュレーションの結果が示される。図11のような回路形式のSSTLでは高速動作や分岐配線が長い場合には受信端の信号波形に乱れが生じる場合がある。

【0066】図17には図2で説明したようなメモリシステムのデータ信号に関するシミュレーション回路が例示される。ここで、ライト動作シミュレーションの時、ドライバ2010はメモリコントローラ102にあり、リード動作シミュレーションの場合は各メモリモジュールにあるとする。ドライバ2010は出力抵抗2009を有するプッシュプル型出力回路を想定している。ここでは出力抵抗を50Ωとしている。また終端抵抗Rtはデータ信号配線の実効的特性インピーダンスとほぼ同じ値にしている。メモリコントローラ側の終端抵抗55Ωはメモリコントローラと近端メモリモジュールの間の伝送線の実効特性インピーダンスとほぼ同じ値にしている。

【0067】図18の(A)は図17のシミュレーション回路(図2で説明したメモリシステム)におけるライト動作のシミュレーション結果である。メモリチップに入力されるデータ信号bQR0~3(2001~2004)を見ると、比較例である図16の(A)に示されるライト動作のシミュレーション結果におけるメモリチップに入力されるデータ信号bQR0~3(2101~2104)と比べて波形の乱れが小さい事がわかる。図18の(B)は図17のシミュレーション回路(図2で説明したメモリシステム)におけるリード動作のシミュレーション結果である。図中DQRSIN1~DQRSIN4は夫々メモリチップのデータ信号bQR0~3(2001~2004)を出力させた時にそれぞれメモリコントローラに入力されるデータ信号DQRSIN1~4(2006)である。図16の(B)の比較例に係るメモリシステムのリード動作のシミュレーション結果におけるメモリチップで入力されるデータ信号DQRSIN1~4(2106)と比べると、波形の乱れが小さい事がわかる。出力抵抗を15Ωにした系においても同様に良好な波形が得られる。この場合には消費電力は増えるが論理振幅を大きくできる効果がある。

【0068】《第2乃至第5のメモリシステム》図19は本発明による第2のメモリシステムにおけるデータ信号配線系の等価回路図である。本メモリシステムでは図3の第1のメモリシステムと比較すると、メモリコントローラ102側の終端抵抗105に第1のスイッチ230が、またメモリコントローラ102と逆側の終端抵抗106に第2のスイッチ231が新しく追加されている。このうち第1のスイッチ230をメモリのリード

(読み出し)時にオン、そしてメモリのライト(書き込み)時にオフとすることにより、メモリのリード(読み出し)時に信号配線112のメモリコントローラ102側の終端をインピーダンス整合させる事ができる。また第2のスイッチ231をメモリのライト(書き込み)時にオン、メモリのリード(読み出し)時にオフとすることにより、メモリのライト(書き込み)時にメモリコントローラ102から最遠端の信号配線135につながる終端をインピーダンス整合させる事ができる。

【0069】第1のスイッチ230及び第2のスイッチ231は、例えばMOSTランジスタから成るようスイッチ素子で実現でき、その制御はメモリコントローラ102がアクセス動作に応じて制御すればよい。またコマンド・アドレスバッファチップ12にそのスイッチ制御機能を持たせてもよい。

【0070】上記図3の第1のメモリシステムでは信号配線112及びコネクタ内配線135等から成る直列配線経路の両端の終端が常に抵抗終端されており、メモリのライト(書き込み)時とメモリのリード(読み出し)時において両方の抵抗に電流が流れ、消費電力が大きくなる。図19の第2のメモリシステムでは信号配線112及びコネクタ内配線135等から成る直列配線経路の両端の終端のうち、メモリのライト(書き込み)時とメモリのリード(読み出し)時に応じて一方だけが抵抗終端され、一方の終端抵抗にしか電流が流れないので、第1のメモリシステムに比べて低消費電力を図ることができる。また論理振幅を大きくできるのでノイズマージンを大きくする事も可能である。

【0071】図20は本発明による第3のメモリシステムにおけるデータ信号配線系の等価回路図である。同図に示されるメモリシステムは、図3の第1のメモリシステムに対して、メモリコントローラ102側の終端抵抗105にスイッチ230を追加した点が相違される。スイッチ230をメモリのリード(読み出し)時にオン、メモリのライト(書き込み)時にオフとすることにより、メモリのリード(読み出し)時に信号配線112のメモリコントローラ102側の終端をインピーダンス整合させる事ができる。なおスイッチ230はMOSTランジスタで実現でき、その制御はメモリコントローラ102で行えばよい。上記第1のメモリシステムでは信号配線112の両端の終端が常に抵抗終端されており、メモリのライト時とメモリのリード時において両方の抵抗に電流が流れ、消費電力が大きくなる。これに対し、第3のメモリシステムでは信号配線112の両端の終端のうち、メモリのライト時にはメモリコントローラ102と逆側の終端のみ抵抗106で終端され、一方しか電流が流れないので、第1のメモリシステムに比べて低消費電力化できる。またライト時のノイズマージンを大きくすることも可能に成る。また第2のメモリシステムでは信号配線112及びコネクタ内配線133、135の直

列経路の両端に2つのスイッチが必要となり製造コストが大きくなる。この点において、第3のメモリシステムではスイッチは1つとなり、第2のメモリシステムに比べて低コスト化できる。

【0072】図21は本発明による第4のメモリシステムにおけるデータ信号配線系の等価回路図である。本メモリシステムでは図3の第1のメモリシステムに対し、メモリコントローラ102側の終端抵抗105が取り除かれ、更に、メモリチップ11の出力回路としてオープンドレイン型の出力トランジスタ233を採用する。プッシュプル型出力回路は動作時においてトランジスタの出力抵抗が変動するので、信号配線112等からなるデータ用の直列配線経路の実効的な特性インピーダンスを乱し、反射が起き易くなる。これに対し、オープンドレイン型出力トランジスタ233によって構成されるオープンドレイン出力回路を採用すれば、動作時の出力抵抗を高くほぼ一定にできるので、動作時において前記データ用直列配線経路の実効的な特性インピーダンスを乱さない。この理由により、本メモリシステムではメモリコントローラ102と逆側の終端のみを抵抗106でインピーダンス整合している。これにより終端抵抗は一つとなるので、第1のメモリシステムに比べて低コスト化かつ低消費電力化できる。

【0073】図22には第4のメモリシステムにおけるコマンド・アドレス信号配線系に関する等価回路図である。コマンド・アドレス信号配線系では信号はメモリコントローラ102からコマンド・アドレスバッファチップ12へ向かって一方向にのみ伝送されるので、他の例と同様に終端抵抗はメモリコントローラ102と逆側の終端の抵抗106のみで構わない。

【0074】図23は本発明による第5のメモリシステムにおけるデータ信号配線系の等価回路図である。同図に示されるメモリシステムでは前記第1のメモリシステムに対し、図21の第4のメモリシステムとは逆にメモリコントローラ102と逆側の終端抵抗106が取り除かれ、メモリコントローラ102の出力回路にオープンドレイン型出力回路を構成するオープンドレイン出力トランジスタ235を採用する。これにより図21の第4のメモリシステムと同様の理由により、第1のメモリシステムに比べて低コスト化かつ低消費電力化が可能になる。

【0075】《メモリコントローラ》図24は本発明による第1のメモリシステム(図3参照)に最適なメモリコントローラ102の回路図である。同図に示されるメモリコントローラ102はデータ信号配線112の実効的な特性インピーダンスと整合する抵抗105Aを内蔵しており、データ信号端子240とメモリコントローラ内部の終端電源109Aに接続されている。同図に示される構成を採用したメモリコントローラ102を第1のメモリシステムに用いる事により、図1に示したマザー

ボード101のメモリコントローラ102側の外付け終端抵抗105が不要となり、低コスト化できる。

【0076】図25は本発明による第2のメモリシステム(図19参照)に最適なメモリコントローラ102の回路図である。同図に示されるメモリコントローラ102は第1のスイッチ切り替え信号端子241及び第2のスイッチ切り替え信号端子241を有しており、それぞれメモリコントローラ102の外部に設けられた第1のスイッチ243及び第2のスイッチ244のオン・オフを切り替える信号を出力する。これらの信号端子241、242の出力はメモリコントローラ102の入力モード信号245を出力回路246が第1のスイッチ切り替え信号端子241へ出力し、またメモリコントローラの入力モード信号245を反転出力回路247が第2のスイッチ切り替え信号端子242へ反転出力する事によって出力される。ここでメモリコントローラ102の入力モード信号245は、データ入力時にレベル“H”、データ出力時にレベル“L”にされる。また、メモリコントローラ102の外部に設けられた第1のスイッチ243及び第2のスイッチ244は例えば、MOSトランジスタで構成され、ゲートレベル“H”でオン、ゲートレベル“L”でオフにされる。本メモリコントローラ102を第2のメモリシステムに用いる事により、前述のように、不要な終端抵抗による電力消費を抑えることが可能になる。終端抵抗105は図24のようにメモリコントローラ102に内蔵してもよい。

【0077】図26は本発明による第3のメモリシステム(図20参照)に最適なメモリコントローラ102の回路図である。同図に示されるメモリコントローラ102は、図24の第1のメモリシステムにおけるメモリコントローラに対して内蔵終端抵抗105Aの信号端子240への接続を制御するスイッチ250が内蔵されている。このスイッチ250はメモリコントローラ102の入力モード信号245でオン・オフされる。これによって終端抵抗105Aはそれが必要となるタイミング、即ちメモリコントローラ102の入力時のみ有効となる。これにより、図26のメモリコントローラ102の構成を第3のメモリシステムに採用する事により、不要な終端抵抗による電力消費が抑えられ、低消費電力のメモリシステムを提供する事が可能となる。メモリコントローラ102側のマザーボード101上に終端抵抗105を設置する必要がないので低コスト化できる。

【0078】図27には本発明による第3のメモリシステム(図20参照)に最適なメモリコントローラ102の更に別の回路例を示す。同図に示されるメモリコントローラ102は、図25の第2のメモリシステムにおけるメモリコントローラの反転出力回路247及びスイッチ切り替え信号端子242が取り除かれたものである。図27の構成を第3のメモリシステムのメモリコントローラ102に採用することにより、不要な終端抵抗によ

る電力消費が抑えられ、低消費電力のメモリシステムを提供する事が可能となる。

【0079】図28は本発明による図23の第5のメモリシステムに最適なメモリコントローラの回路図である。同図に示されるメモリコントローラ102は図24の第1のメモリシステムにおけるメモリコントローラ102の出力回路にオープンドレイン型出力回路を構成するオープンドレイントランジスタ251を用いたものである。構成を本発明の第5のメモリシステムのメモリコントローラ102に採用する事により、マザーボード101のメモリコントローラ側の終端抵抗105が不要となり、低コスト化できる。もちろん図1に示したように終端抵抗(105)をメモリコントローラの外側に設置しても良い。

【0080】《その他のメモリモジュールの例》図29には図4とは異なった構造の第2のメモリモジュールの断面が示される。図29の(A)は1バンク形式のメモリモジュールにおけるデータ信号配線に関する断面図である。本メモリモジュール2においてモジュールデータ端子対24L、24Rはモジュール基板10の一方の長辺部分に沿って両面に配置される。モジュールデータ配線15は貫通孔200を介してモジュールデータ端子対24R、24Lを接続している。モジュールデータ配線15は図4の第1のメモリモジュール1と同じように一筆書きの配線経路をもち、モジュールデータ配線15とメモリチップ11のチップデータ端子Dmとの間には前記ヴィア(層間孔)によって形成されるような実質的に無視し得るほど小さな分岐を生じている。この分岐部分は前述より明らかな如く不所望な信号反射の要因にはならない。

【0081】図29の(B)は2バンク形式のメモリモジュールの場合における信号配線に関する断面図である。図29の(A)のメモリモジュール2では1本のモジュールデータ配線15はモジュール10の片面に設置されている一つのメモリチップ11のメモリデータ端子Dmに接続されているのに対し、図29の(B)のメモリモジュールでは、1本のモジュールデータ配線15はモジュール基板10の両面に設置されているメモリチップ11、11のメモリデータ端子Dm、Dmに一筆書き接続されている。

【0082】図29の(C)はメモリモジュール2の電源配線に関する断面図である。モジュール電源配線201は、メモリチップ11のチップ電源端子Dpに配線されているが、一筆書き配線経路で接続する必要はなく、モジュール電源端子202L、202Rから夫々分岐する如く延在されている。なおモジュールコマンド・アドレス配線16やモジュールクロック配線17はモジュール電源配線201と同様に扱ってもよいし、図4のようにモジュールデータ配線15と同様に扱ってもよい。

【0083】図30の(A)は第2のメモリモジュール

2のためのコネクタ210を信号配線に着目して示す。コネクタ210は一条の垂直溝を有し、垂直溝の左右両面にコネクタ端子列が紙面の表裏方向に形成され、図では代表してコネクタ端子211、212が示されている。マザーボード上のデータ信号配線112はコネクタ端子211、212に接続され、そこで分断されている。

【0084】図30の(B)は第2のメモリモジュール2のためのコネクタ210を電源配線に着目して示す。電源用のコネクタ端子として代表的に示されたコネクタ端子213、214は、電源配線108から分岐された分岐配線215、216に夫々接続されており、電源配線108は途中で電気的に分断されていない。

【0085】図31の(A)にはメモリモジュール2を装着したメモリシステムの断面が信号配線に関して示される。同図に示されるメモリシステムにおいて、メモリモジュール2がコネクタ210に装着されると、コネクタ210で分断されたデータ信号配線112が、メモリモジュール2のモジュールデータ配線15を介して繋がる。

【0086】図31の(B)にはメモリモジュール2を装着したメモリシステムの断面が電源配線に関して示される。本メモリシステムにおいてはメモリモジュール2がコネクタ210に装着されると、メモリモジュール2のモジュール電源端子がコネクタ210の電源コネクタ端子213、214を介してマザーボード101の電源配線108に接続する。尚、前記コマンド・アドレス信号配線113は、図30の(B)の電源配線108と同じように、マザーボード101のコマンド・アドレス信号線113からコネクタ210を介してメモリモジュール2に接続してもよいし、もちろん図31の(B)のように接続してもよい。

【0087】第2のメモリモジュール2によっても、上記同様に、不所望な信号反射の原因になる分岐を作らず、配線長の増大を招くことなく、マザーボード101のデータ信号配線にメモリチップを電気的に接続させることができる。

【0088】図32は第3のメモリモジュールの平面図である。同図に示されるメモリモジュール3において、モジュールデータ端子対24L、24Rはモジュール基板10の同じ面の同じ辺で隣り合うように配置され、当該端子対24L、24Rは往復的に敷設されたモジュールデータ配線15によって結合され、そのモジュールデータ配線15の途中で一つのメモリチップ11のメモリデータ端子Dmに一筆書き接続されている。

【0089】図33は第3のメモリモジュール3をコネクタで接続する形態を例示する。図33の(A)は図32のモジュールデータ端子24Lの位置での縦断面を想定し、図33の(B)は図32のモジュールデータ端子24Rの位置での縦断面を想定している。図33の

(A)においてデータ信号配線112はマザーボード101からコネクタ300のデータコネクタ端子301L及びモジュールデータ端子24Lを介してメモリモジュール3のモジュールデータ配線15に接続される。前記モジュールデータ配線15はモジュール基板10上で経路が折り返され、図33の(B)に例示されるように、その隣のモジュールデータ端子24Rに至り、コネクタ300のデータコネクタ端子301Rからマザーボード101のデータ信号配線112に導通する。マザーボード101上の電源配線108との接続態様については特に図示はしないが、図31の(B)と同様に、マザーボード101の電源配線108からコネクタを介してメモリモジュール3のモジュール電源端子に接続すればよい。

【0090】第3のメモリモジュール3によっても、上記同様に、分岐を作ることなくまた配線長の増大を招くことなくデータ信号配線にメモリチップを接続することができる。

【0091】《ダミーメモリモジュール》メモリシステムを構成するメモリモジュールの一部を置き換え可能なダミーメモリモジュールについて説明する。

【0092】図34には図4で説明した第1のメモリモジュール1と共に利用してメモリシステムを構成可能なダミーメモリモジュール1Aの平面図、図35にはダミーメモリモジュールの側面図が示される。同図に示されるダミーメモリモジュール1Aは図4のメモリモジュール1に対してメモリチップ11、コマンド・アドレスバッファチップ12、PLLチップ13、モジュールコマンド・アドレス分配配線19、モジュールクロック分配配線20、終端抵抗22、23を省略した構成を備える。換言すれば、ダミーメモリモジュール1Aは、モジュール基板10に、24L、25Rで代表されるモジュール端子対、モジュールデータ配線15、モジュールコマンド・アドレス配線16、及びモジュールクロック配線17を有する。図34に示されるダミーメモリモジュール1Aは図1及び図2で説明したメモリシステムにおいて、メモリモジュール1の代わりにコネクタ104A、104Bに装着して利用すれば、信号線112、113、117の経路に分岐を作ることなくまた配線長の増大を招くことなく、メモリシステムのメモリ容量を変更することが可能になる。

【0093】特に図示はしないが、ダミーメモリモジュール1A上の配線15、16、17にチップ11、12、13の入力容量を再現したダミー容量を設ければ、実効的特性インピーダンスを乱さず、波形の乱れを更に抑える事が可能になる。

【0094】図36は第2のメモリモジュール2と共に利用可能なダミーメモリモジュール2Aを示し、(A)はa-a断面図、(B)は拡大表面図、(C)は拡大端面図である。図36のダミーメモリモジュール2Aは、

図29に示されるメモリモジュール2に対してメモリチップ11等のデバイスが搭載されていない構成を有する。要するに、モジュール基板10の表裏に24L、25Rで代表されるモジュール端子対、15で代表されるモジュール配線、モジュール配線の貫通孔200によって構成されている。図31のメモリシステムにおいてメモリモジュール2の代わりに前記ダミーメモリモジュール2Aを用いれば、分岐を作ることなく、また配線長の増大を招くことなく、メモリシステムのメモリ容量を変更する事が可能になる。

【0095】図37には第3のメモリモジュール3と共に利用可能なダミーメモリモジュール3Aが示される。同図に示されるメモリモジュール3Aは、図32に示されるメモリモジュール3に対してメモリチップ11等のデバイスが搭載されていない構成を有する。要するに、モジュール基板10の表面に24L、25Rで代表されるモジュール端子対、15で代表されるモジュール配線が設けられて構成されている。第3のメモリモジュール3の代わりにダミーメモリモジュール3Aを用いれば、分岐を作ることなく、また配線長の増大を招くことなく、メモリシステムのメモリ容量を変更する事が可能になる。

【0096】《終端用メモリモジュール》メモリシステムのマザーボードに外付けされる終端抵抗を搭載した終端用のメモリモジュールを説明する。

【0097】図38は第1のメモリモジュール1に終端抵抗を搭載して成る終端用のメモリモジュール1Bを示し、(A)は部分平面図、(B)は側面図である。図38に示されるメモリモジュール1Bは、図1のモジュール端子対24L、24R等の一方のモジュール端子24R等を取り除き、残りのモジュール端子24Lなどに接続されたモジュールデータ配線15などに終端抵抗106Aを接続し、この終端抵抗106Aに終端電源端子30を接続して構成される。図38の(B)に示されるようにモジュール基板10の裏面側も同様に構成される。

【0098】図39は図34のダミーメモリモジュール1Aに対応される終端用のダミーメモリモジュール1Cを示す。図34のダミーメモリモジュールに対してモジュール端子対24L、24R等の一方のモジュール端子24R等を取り除き、残りのモジュール端子24Lなどに接続されたモジュールデータ配線15などに終端抵抗106Aを接続し、この終端抵抗106Aに終端電源端子30を接続して構成される。

【0099】図1のメモリシステムにおいて前記メモリモジュール1の代わりに図38に示されるメモリモジュール1B又は図39に示されるメモリモジュール1Cを用いれば、マザーボード101上の終端抵抗106を使うことなく、マザーボード101上の信号配線112、113、117をメモリモジュール上で終端できる。

【0100】図40は図29の(A)に示されるメモリ

モジュール2に終端抵抗を搭載して成る終端用のメモリモジュール2Bを示し、(A)はa-a断面図、(B)は拡大表面図、(C)は拡大裏面図である。図40に示されるメモリモジュール2Bは、図29のモジュール端子対24L、24R等の一方のモジュール端子24R等を取り除き、残りのモジュール端子24Lなどに接続されたモジュールデータ配線15などに終端抵抗106Aを接続し、この終端抵抗106Aに終端電源端子30を接続して構成される。

【0101】図31のメモリシステムにおいてメモリモジュール2の代わりに前記終端用メモリモジュール2Bを利用すれば、マザーボード101上の終端抵抗106を使うことなく、信号配線112をメモリモジュール上で終端する事が可能となる。別の信号配線113、117についても同様の構成を採用する事が可能である。

【0102】図41は図32に示されるメモリモジュール3に終端抵抗を搭載して成る終端用のメモリモジュール3Bを示す。図41に示されるメモリモジュール3Bは、図32のモジュール端子対24L、24R等の一方のモジュール端子24R等を取り除き、残りのモジュール端子24Lなどに接続されたモジュールデータ配線15などに終端抵抗106Aを接続し、この終端抵抗106Aに終端電源端子30を接続して構成される。図32に示されるメモリモジュール3の代わりに前記終端用メモリモジュール3Bを利用すれば、マザーボード101上の終端抵抗106を使うことなく、信号配線112などをメモリモジュール上で終端する事が可能となる。

【0103】《コネクタのその他の形態》メモリシステムを構成するコネクタのその他の形態について説明する。

【0104】図42及び図43には図7及び図8の前記コネクタ104A、104Bの別の形態が例示される。図42はデータ信号線112に接続する部分を断面で示し、図43は電源線108に接続する部分を断面で示す。コマンド、アドレス信号線113、クロック信号線117に接続する部分は例えば図43のように構成される。

【0105】要するに、図42、図43の構成は図7、図8のコネクタ104A、104Bを上下2分割で取脱可能に構成して、メモリモジュール1、1A、1Bの装着を容易化したものである。

【0106】即ち、コネクタ104Aを104Aaと104Abに2分割し、分割片104Aaの底面には凸条に形成された1条のコネクタ端子部104Apが設けられ、分割片104Abの上面には凹条に形成された1条のコネクタ端子部104Agが設けられる。同様に、分割片104Baの底面には凸条に形成された2条のコネクタ端子部104Bp1、104Bp2が設けられ、分割片104Bbの上面には凹条に形成された2条のコネクタ端子部104Bb1、104Bg2が設けられる。

【0107】図42において、前記コネクタ端子部104Ap、104Agのデータ信号線112に対応する部分では、コネクタ内蔵配線135a、135bによってデータ信号配線112がコネクタ端子列130の対応端子に導通可能にされる。また、図43において、前記コネクタ端子部104Ap、104Agの電源配線108に対応する部分ではコネクタ内蔵配線137a、137bによって電源配線108がコネクタ端子列130の対応端子に導通可能にされる。コマンド・アドレス信号配線113、クロック信号線117に接続するコネクタ104Aa、104Abの部分も図43の場合と同様にされる。

【0108】更に、図42に示されるようにコネクタ104Bの分割片104Baにおけるコネクタ端子列131と132のデータ信号線112に対応する対応端子はコネクタ内蔵配線133、134によって相互に導通され、実質的に図7と同様に構成される。また、図43において、前記コネクタ端子部104Bp1、104Bg1の電源配線108に対応する部分ではコネクタ内蔵配線138a、138bによって電源配線108がコネクタ端子列131の対応端子に導通可能にされる。同様に、前記コネクタ端子部104Bp2、104Bg2の電源配線108に対応する部分ではコネクタ内蔵配線139a、139bによって電源配線108がコネクタ端子列132の対応端子に導通可能にされる。コマンド・アドレス信号配線113、クロック信号線117に接続するコネクタ104Ba、104Bbの部分も図43の場合と同様にされる。

【0109】図42及び図43のコネクタを用いたメモリシステムにメモリモジュールを装着する作業は次の通りである。例えば、メモリモジュール1の左右のモジュール端子にコネクタ分割片104Aaのコネクタ端子列130とコネクタ分割片104Baのコネクタ端子列131を結合する。続けて次のメモリモジュール1の左右のモジュール端子にコネクタ分割片104Baのコネクタ端子列132とコネクタ分割片104Baのコネクタ端子列131を結合する。このようにして、必要な数のメモリモジュールを横に直列に結合した後、メモリモジュールに結合されたコネクタ分割片104Aaのコネクタ端子104Apを対応するコネクタ分割片104Abのコネクタ端子104Agに結合すると共に、メモリモジュールに結合されたコネクタ分割片104Baのコネクタ端子104Bp1、104Bp2を対応するコネクタ分割片104Bbのコネクタ端子104Bg1、104Bg2に結合する。これにより、メモリモジュールの設置作業に必要な空間がメモリシステムの上方空間のみとなるので、メモリシステムの周囲に他の装置を設置したり、メモリシステムを壁で囲まれた場所に設置できる。

【0110】図44にはコネクタの機能の一部備えたメ

モリモジュールの例が示される。同図に示されるメモリモジュール1Cは、図4のメモリモジュール1に、図43のコネクタ端子列132に相当する機能を持つコネクタ端子列132Eと前記コネクタ端子部104Bp2に相当する機能を持つコネクタ端子部104BpEとを付加して構成される。コネクタ端子列132Eはモジュールデータ配線15に接続され、コネクタ端子部104BpEはモジュール電源配線、モジュールコマンド・アドレス配線16、及びモジュールクロック配線17に接続される。前記コネクタ端子部104BpEに対応してマザーボード101にはコネクタ104Bが配置される。図44の構成を採用することにより、メモリモジュール設置作業において図42及び図43の構成に比べてメモリモジュールをマザーボードに接続する作業量を低減できる。更にメモリシステムの部品点数も削減でき、メモリシステムの低コスト化に寄与することも可能であると考えられる。

【0111】図45はメモリモジュール1に適用可能な別の形態のコネクタをデータ信号線112に接続する部分の断面で示す。コネクタ154、155、156は、夫々上向きの凹溝に形成されたコネクタ端子154A、155A、156Aを有し、メモリモジュール1を起立させて支持することができる。コネクタ157は下向きの凹溝に形成されたコネクタ端子157A、157Bを有し、起立された一対のメモリモジュール1に挿入される。マザーボード101上データ信号配線112は、コネクタ内蔵配線154a、154bを介してコネクタ端子154Aに、コネクタ内蔵配線155a、155bを介してコネクタ端子155Aに、コネクタ内蔵配線156a、156bを介してコネクタ端子156Aに、コネクタ内蔵配線157a、157bを介してコネクタ端子157A、157Bに、夫々結合する。したがって、コネクタ154、155、157にメモリモジュール1を装着すると、配線154a、157a、156aが夫々データ信号線112に導通し、配線154b、157b、156bが夫々データ信号線112に導通する。メモリモジュール1は分岐を有すること無くデータ信号配線112に導通可能になる。

【0112】図46はメモリモジュール1に適用可能な更に別の形態のコネクタをデータ信号線112に接続する部分の断面で示す。コネクタ164は上向きの凹溝に形成されたコネクタ端子164Aを有し、コネクタ165は上向きの凹溝に形成されたコネクタ端子165A、165Bを有し、メモリモジュール1を起立させて支持することができる。コネクタ166は下向きの凹溝に形成されたコネクタ端子166A、166Bを有し、起立された一対のメモリモジュール1に挿入される。マザーボード101上のデータ信号配線112は、コネクタ内蔵配線164a、164bを介してコネクタ端子164Aに接続する。コネクタ端子165Aと165Bはコネク



タ内配線165a、165bを介して相互に結合する。コネクタ端子166Aと166Bはコネクタ内配線166a、166bを介して相互に結合する。したがって、コネクタ164、165、167にメモリモジュール1を装着すると、配線164a、166a、165aが夫々データ信号線112に導通し、配線164b、166b、165bが夫々データ信号線112に導通する。メモリモジュール1は分岐を有すること無くデータ信号配線112に導通可能になる。

【0113】図47は図46のコネクタにおける電源配線部分の断面を示す。マザーボード101上の電源配線108は、途中で分岐してコネクタ内配線164c、165cを介して対応するコネクタ端子164A、165Aの電源用端子に接続する。

【0114】図48には図46及び図47のコネクタにメモリモジュールを搭載した状態が示される。このコネクタ164～166を用いれば、分岐を作ることなく、また配線長の増大を招くことなく、データ信号配線にメモリ素子を接続するメモリシステムをマザーボード上に小占有面積で形成できる。図45のコネクタ154～157を用いても同じである。また、コマンド・アドレス信号配線113、クロック信号配線117の接続に関しても図45又は図46のコネクタを用いればよい。

【0115】《メモリシステムのその他の形態》図49の(A)斜視図、(B)側面図にはメモリモジュールの更に別の形態が示される。同図に示されるメモリモジュール1Cは前記メモリモジュール1に対して、データ端子対24L、24Rに代表されるモジュール端子対170L、170Rがモジュール基板10に対して直交する向きに形成されている点が相異される。

【0116】図50には図49のメモリモジュールを搭載したメモリシステムの一例が示される。マザーボード101上のコネクタとして、特に制限されないが、図46のコネクタ164、165が用いられている。図45のコネクタ154、155、156などを用いてもよい。図46のコネクタ166、図45のコネクタ157などが不用になり、また、メモリモジュールの設置作業に必要な空間がメモリシステムの上方のみとなるので、メモリシステムの周囲に他の装置を設置したり、メモリシステムを壁で囲まれた場所に設置する事ができる。

【0117】図51には図1のメモリシステムをコネクタ、メモリモジュールを使わずに一つの基板260に形成した例が示される。これにより、メモリシステムを小型化でき、データアクセス時間も短縮できる。部品点数が削減され、低コスト化に寄与する。さらに、図52に例示されるように、メモリシステムを同一基板260上の両面に形成してもよい。これにより、小型化と同時にメモリ容量を拡大できる。

【0118】また、図53に例示されるように、図52

のメモリシステム261をCPU262と一緒に基板263に実装し、全体をパッケージ264で封止し、MCM(マルチチップモジュール)を構成してもよい。前記CPU262は、メモリモジュール261のメモリコントローラ102に接続され、このメモリコントローラ102を介してメモリチップ11をアクセスする。

【0119】図54には以上説明したメモリシステムを用いたデータ処理システムの一例としてパーソナルコンピュータ装置が例示される。パーソナルコンピュータ装置は、特に制限されないが、比較的動作速度の速いプロセッサバスBUS1と相対的に動作速度の遅い周辺バスBUS2を有する。プロセッサバスBUS1にはデータプロセッサの一例であるマイクロプロセッサ280、L2キャッシュメモリ281、以上説明したメモリシステム282が結合される。メモリシステム282には以上説明した種々の形態のメモリシステムを適用可能であることは言うまでも無いが、図54ではメモリコントローラ102とメモリモジュール1を備える構成を代表的に図示している。マイクロプロセッサ280はCPU、L1キャッシュメモリ等を内蔵し、メモリモジュール1内蔵のメモリチップをメインメモリとしてアクセスする。プロセッサバスBUS1と周辺バスBUS2とのインタフェース制御はブリッジ回路284が行う。周辺バスBUS2には、IDE(Integrated Device Electronics)コントローラ287、グラフィックスコントローラ285、及びその他インタフェースコントローラ288が接続される。IDEコントローラ287にはハードディスク装置等の補助記憶装置290が接続され、ディスクアクセス制御を行う。グラフィックスコントローラ285にはフレームバッファメモリ286及びディスプレイ291が接続され、描画制御や表示制御を行う。その他インタフェースコントローラ288にはキーボード、ポインティングデバイス等、その他の周辺回路292が接続される。

【0120】パーソナルコンピュータシステムにメモリシステム282を採用すれば、メモリシステムの周波数を向上しても、信号波形が乱れることなく、またレーテンシも抑えて高速データ伝送する事が可能となるので、コンピュータシステムによるデータ処理速度の向上に寄与する。

【0121】以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれ限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0122】例えば、メモリチップはシンクロナスDRAMに限定されず、その他の記憶形式のメモリであってもよい。また、メモリモジュールは以上で説明のコネクタ以外の構成のコネクタを利用してメモリシステムを実現してよい。

【0123】本発明に係るメモリモジュールは、パーソ

ナル・コンピュータ、ワークステーション、或いはサーバといった、大容量メモリを必要とするコンピュータシステムに利用して特に有効である。

【0124】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0125】すなわち、信号反射による信号波形の乱れを抑えて信号伝送の信頼性を向上させることができると共に、メモリ動作の安定性を増し、また、アクセス時間の増大を抑制することができる。

【0126】本発明のメモリシステムをコンピュータシステムに適用すれば、メモリシステムの周波数を向上しても、信号波形が乱れることなく、またレーテンシも抑えて高速データ伝送する事が可能となるので、コンピュータシステムによるデータ処理速度を向上させる事が可能になる。

【図面の簡単な説明】

【図1】本発明に係るメモリシステムの一例を示す正面図である。

【図2】図1のメモリシステムの平面図である。

【図3】図2のメモリシステムの概略的な等価回路図である。

【図4】図1のメモリシステムに適用される第1のメモリモジュールの平面図である。

【図5】図4の第1のメモリモジュールの側面図である。

【図6】図4のメモリモジュールにおけるメモリチップに関する布線の例を示す説明図である。

【図7】図1のメモリモジュールに適用可能なコネクタのデータ配線部分の概略縦断面図である。

【図8】図4のメモリモジュールに適用可能なコネクタの電源配線部分の概略縦断面図である。

【図9】図4のメモリモジュールに適用可能なコネクタにメモリモジュールを装着する際の斜視図である。

【図10】図4のメモリモジュールに適用可能なコネクタのメモリモジュールを装着した状態の断面図である。

【図11】SSTLインタフェースを有する比較例に係るメモリシステムの斜視図である。

【図12】図11の比較例に係るメモリシステムの等価回路図である。

【図13】メモリチップをシリアル接続したメモリモジュールを直列的に接続した比較例に係るメモリシステムの斜視図である。

【図14】図13の比較例に係るメモリシステムの等価回路図である。

【図15】図11の形式のメモリシステムにおけるSSTLのシミュレーション回路図である。

【図16】図15のシミュレーション回路におけるライ

ト時とリード時のSSTL信号波形シミュレーション結果を示す説明図である。

【図17】図2で説明したようなメモリシステムのデータ信号に関するシミュレーション回路図である。

【図18】図17のシミュレーション回路におけるライト動作とリード動作のシミュレーション結果を示す説明図である。

【図19】本発明による第2のメモリシステムにおけるデータ信号配線系の等価回路図である。

【図20】本発明による第3のメモリシステムにおけるデータ信号配線系の等価回路図である。

【図21】本発明による第4のメモリシステムにおけるデータ信号配線系の等価回路図である。

【図22】第4のメモリシステムにおけるコマンド・アドレス信号配線系に関する等価回路図である。

【図23】本発明による第5のメモリシステムにおけるデータ信号配線系の等価回路図である。

【図24】本発明による第1のメモリシステムに最適なメモリコントローラの回路図である。

【図25】本発明による第2のメモリシステムに最適なメモリコントローラの回路図である。

【図26】本発明による第3のメモリシステムに最適なメモリコントローラの回路図である。

【図27】本発明による第3のメモリシステムに最適なメモリコントローラの更に別の回路図である。

【図28】本発明による第5のメモリシステムに最適なメモリコントローラの回路図である。

【図29】第2のメモリモジュールに関する断面図である。

【図30】第2のメモリモジュールに適用可能なコネクタの説明図である。

【図31】第2のメモリモジュールを装着したメモリシステムの断面図である。

【図32】本発明に係る第3のメモリモジュールの平面図である。

【図33】第3のメモリモジュールをコネクタで接続する形態を例示する断面図である。

【図34】第1のメモリモジュールと共に利用可能なダミーメモリモジュールの平面図である。

【図35】図34のダミーメモリモジュールの側面図である。

【図36】第2のメモリモジュールと共に利用可能なダミーメモリモジュールの説明図である。

【図37】第3のメモリモジュールと共に利用可能なダミーメモリモジュールの平面図である。

【図38】第1のメモリモジュールに終端抵抗を搭載して成る終端用のメモリモジュールの説明図である。

【図39】図34のダミーメモリモジュールに対応される終端用のダミーメモリモジュールの説明図である。

【図40】図29の(A)に示されるメモリモジュール

66

に終端抵抗を搭載して成る終端用のメモリモジュールの説明図である。

【図41】図32に示されるメモリモジュールに終端抵抗を搭載して成る終端用のメモリモジュールの説明図である。

【図42】図7及び図8のコネクタに関する別の形態をデータ信号線部分に着目して示す断面図である。

【図43】図7及び図8のコネクタに関する別の形態を電源配線部分に着目して示す断面図である。

【図44】コネクタの機能を一部備えたメモリモジュールを例示する断面図である。

【図45】メモリモジュールに適用可能な別の形態のコネクタをデータ信号線部分に着目して示す断面図である。

【図46】メモリモジュールに適用可能な更に別の形態のコネクタをデータ信号線部分に着目して示す断面図である。

【図47】図46のコネクタにおける電源配線部分に着目した断面図である。

【図48】図46及び図47のコネクタにメモリモジュールを搭載した状態を示す断面図である。

【図49】下向きモジュール端子対を備えたメモリモジュールの更に別の形態を示す斜視図である。

【図50】図49のメモリモジュールを搭載したメモリシステムの一例を示す断面図である。

【図51】図1のメモリシステムをコネクタ、メモリモジュールを用いずに一つの基板上に形成した例を示す正面図である。

【図52】メモリシステムを同一基板上の両面に形成した例を示す正面図である。

【図53】メモリシステムと共にCPUを搭載してマルチチップモジュール化した例を示す平面図である。

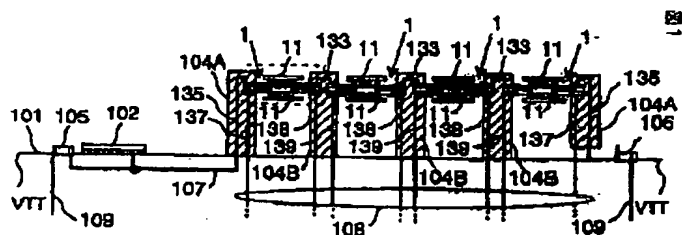
【図54】メモリシステムを用いたパーソナルコンピュ

ータ装置のブロック図である。

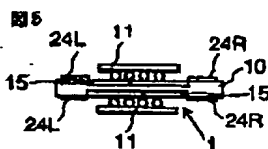
#### 【符号の説明】

- 1、1A、1B、1C、1D、1E、1F メモリモジュール
- 2、2A、2B メモリモジュール
- 3、3A、3B メモリモジュール
- 10 モジュール基板
- 11 メモリチップ
- 12 コマンド・アドレスバッファチップ
- 13 PLLチップ
- 15 モジュールデータ配線
- 16 モジュールコマンド・アドレス配線
- 17 モジュールクロック配線
- 19 モジュールコマンド・アドレス分配配線
- 20 モジュールクロック分配配線
- 24L、24R データ端子対
- 25L、25R コマンド・アドレス端子対
- 26L、26R クロック端子対
- 101 マザーボード
- 102 メモリコントローラ
- 104A、104B コネクタ
- 105、106 終端抵抗
- 108 電源配線
- 112 データ信号配線
- 113 コマンド・アドレス信号配線
- 117 クロック信号配線
- 133、134、135 直列経路を構成するコネクタ内配線
- 137、138、139 並列経路を構成するコネクタ内配線
- 230、231 スイッチ
- 233、235、251 オープンドレイン出力MOSトランジスタ

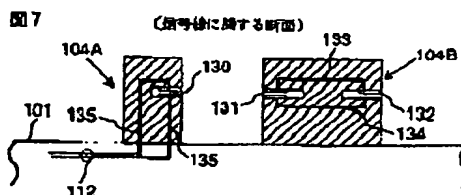
【図1】



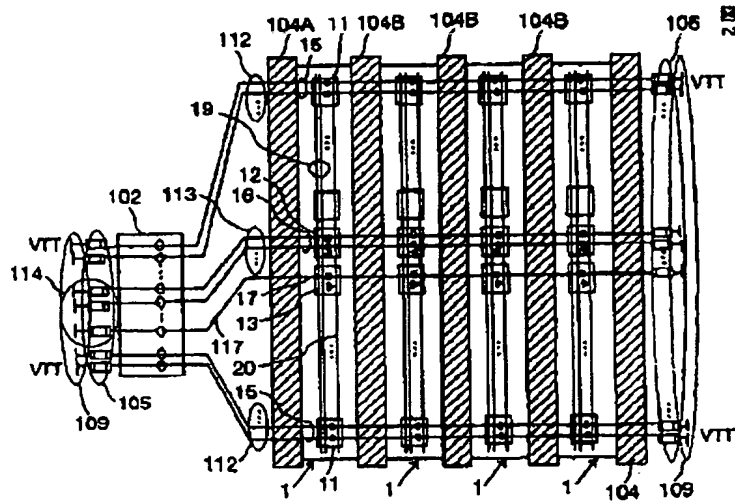
【図5】



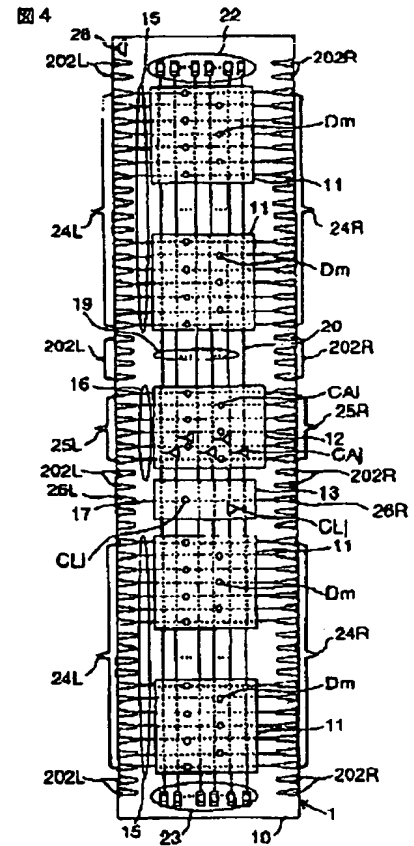
【図7】



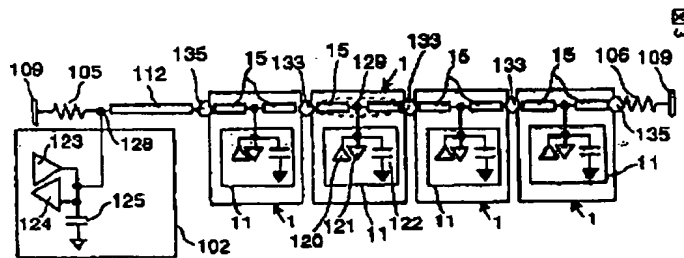
【図2】



【図4】

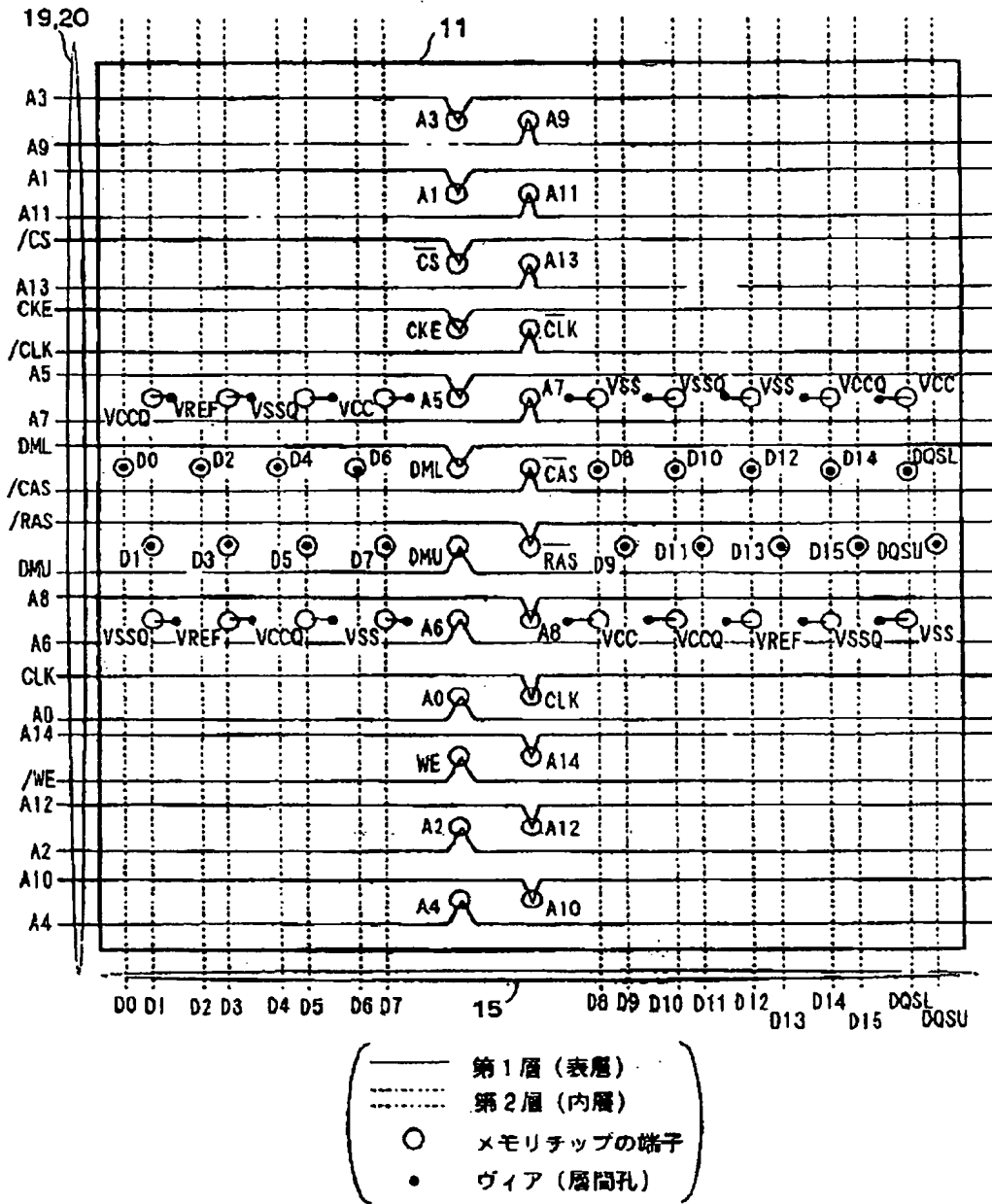


【図3】

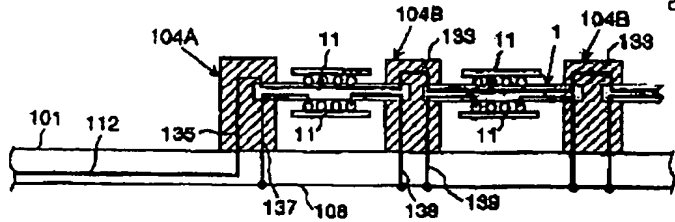


【図6】

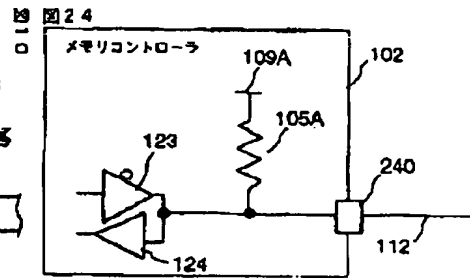
図6



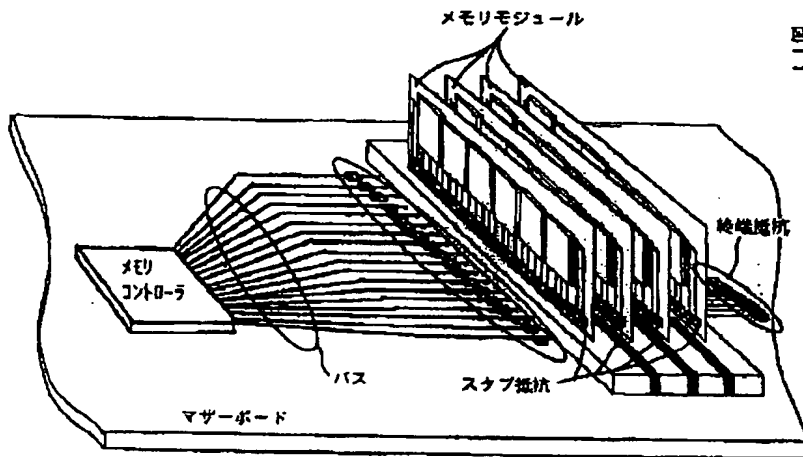
【図10】



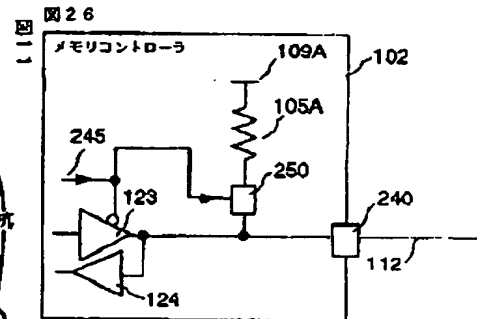
【図24】



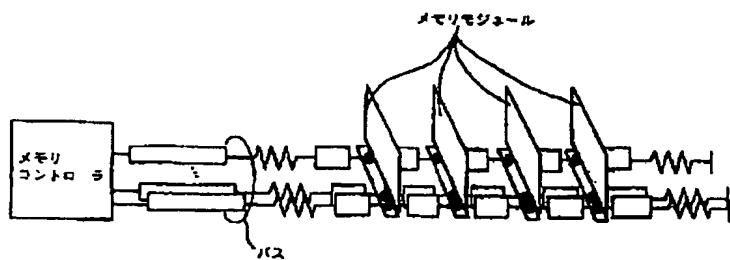
【図11】



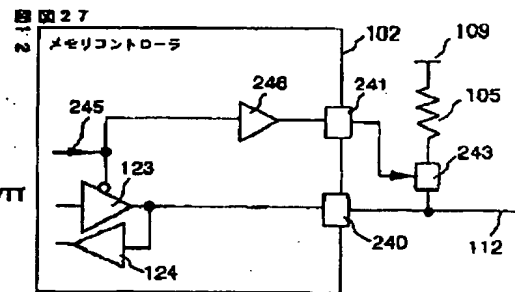
【図26】



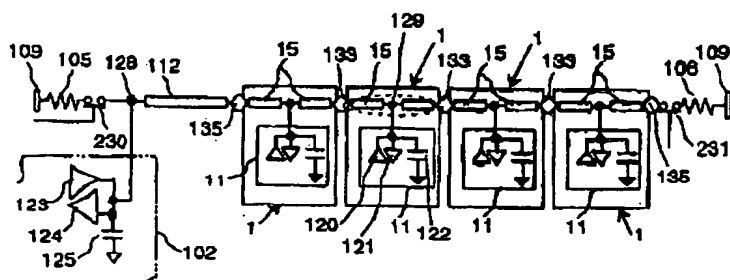
【図12】



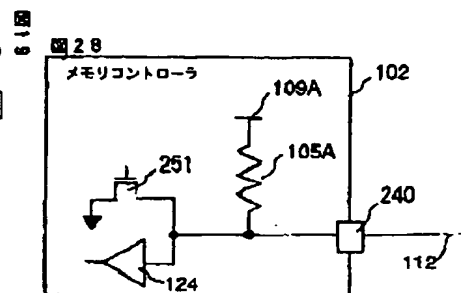
【図27】



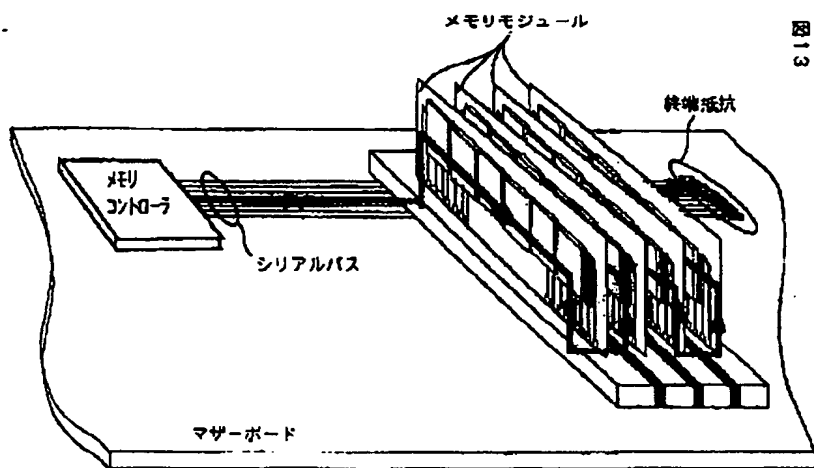
【図19】



【図28】

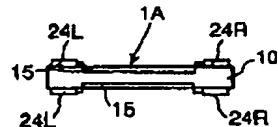


【図13】

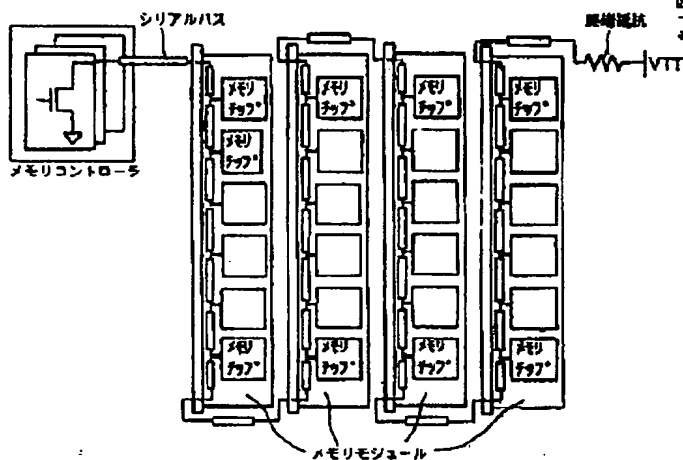


【図35】

図35

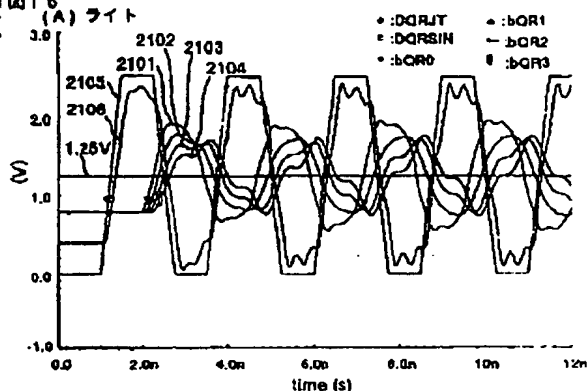


【図14】

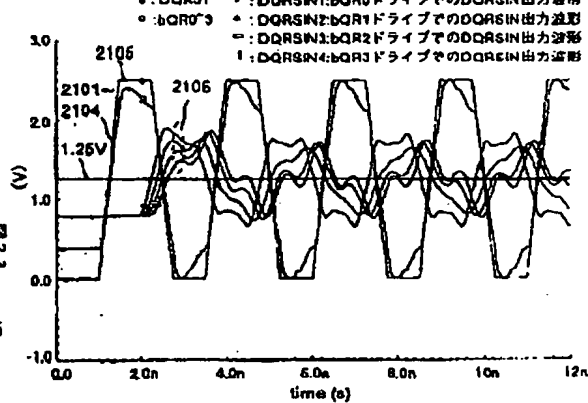


【図16】

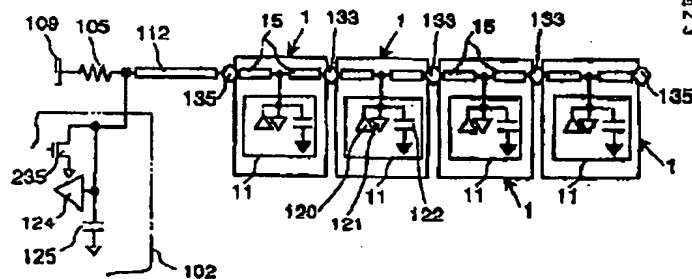
図16



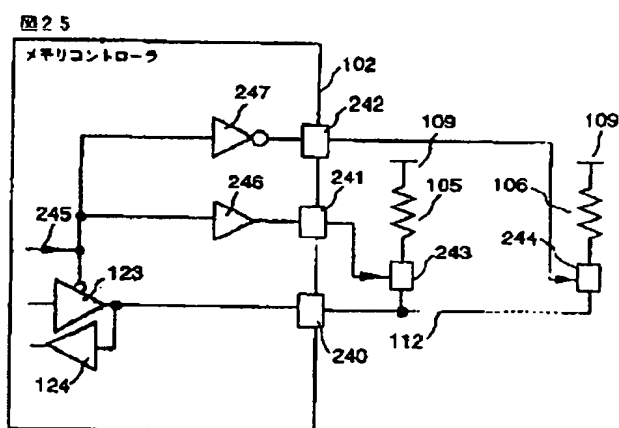
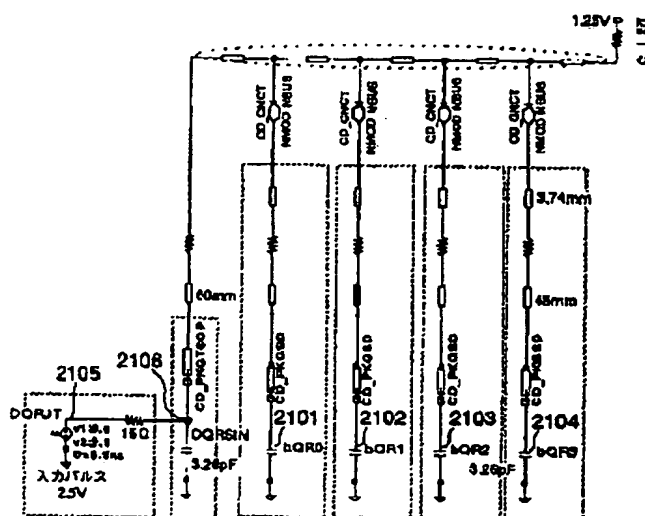
(B) リード



【図23】

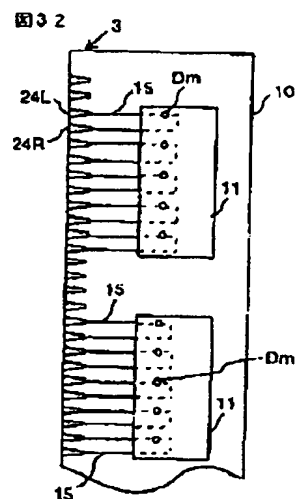
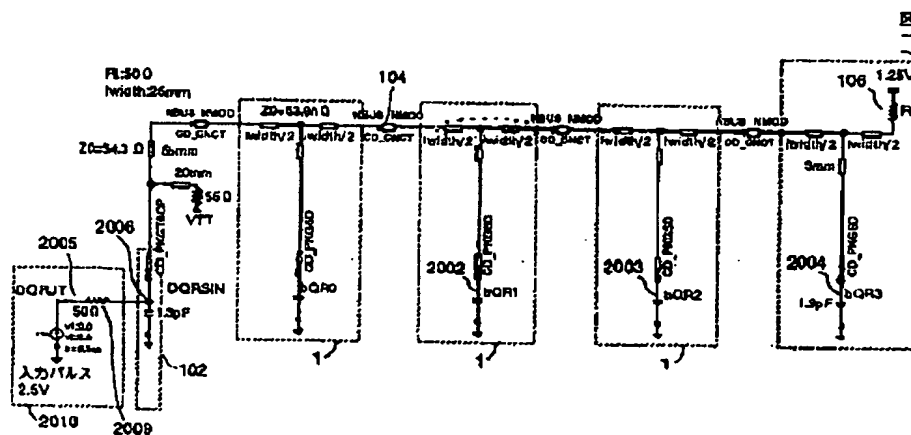


【图 25】



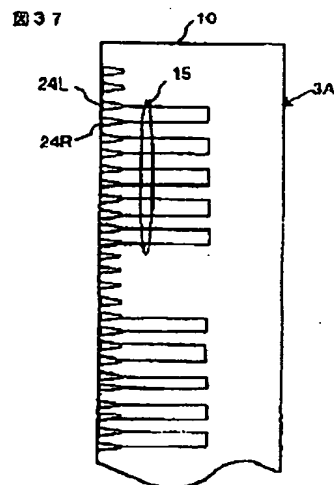
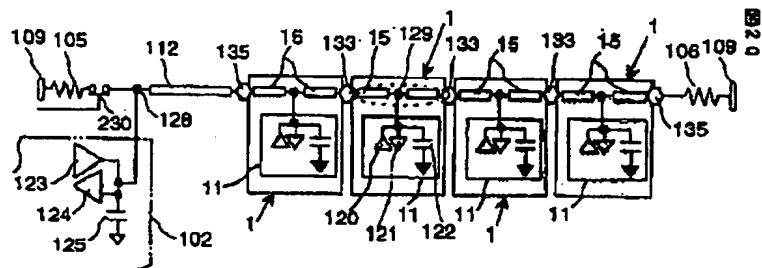
【例 3 2】

【☒ 17】



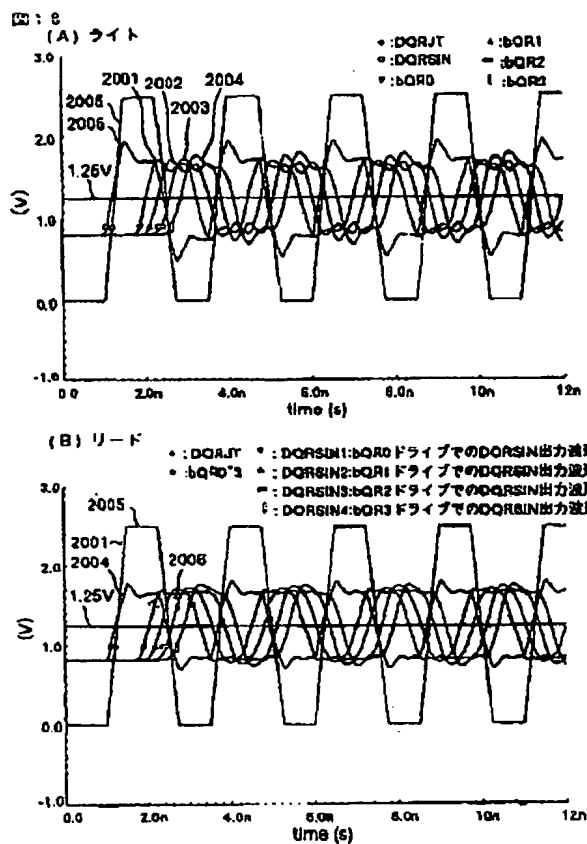
【图 3 7】

【例 20】

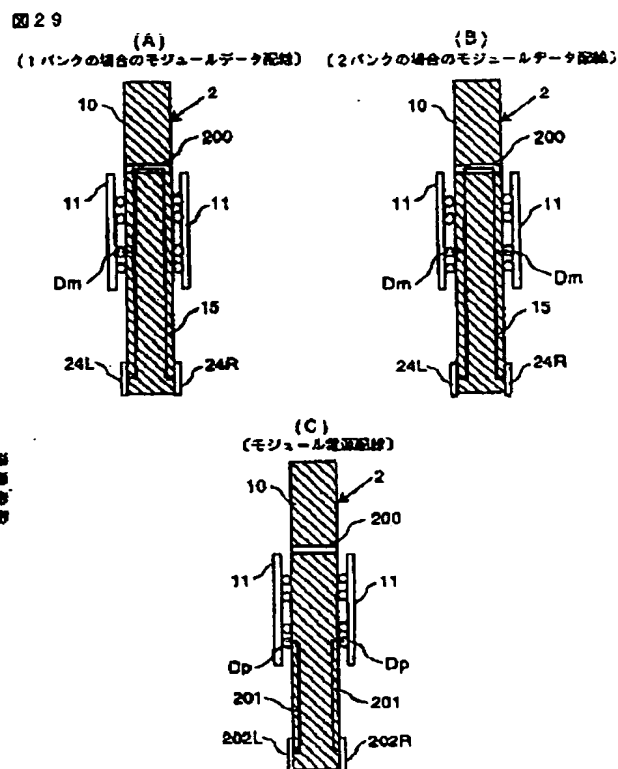




【図18】

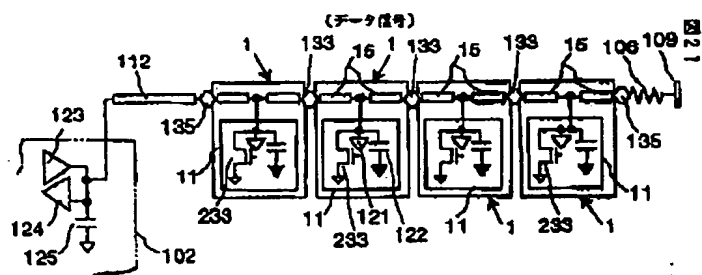


【図29】



【図30】

【図21】



【図22】

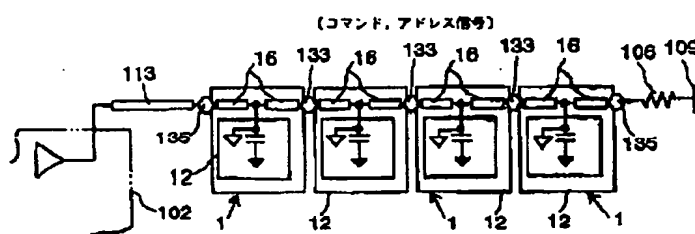
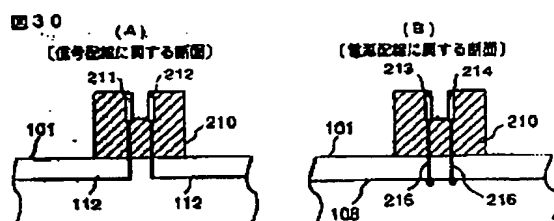
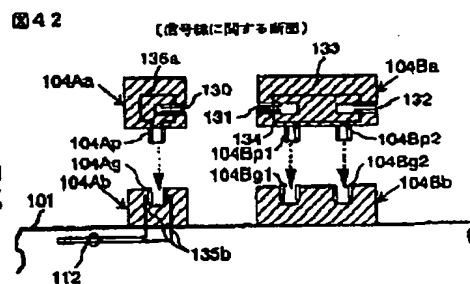


図30



【図42】

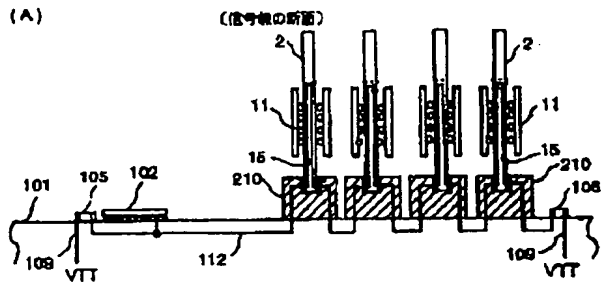
図42



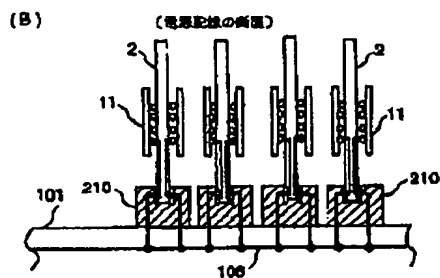
【図31】

図31

(A)



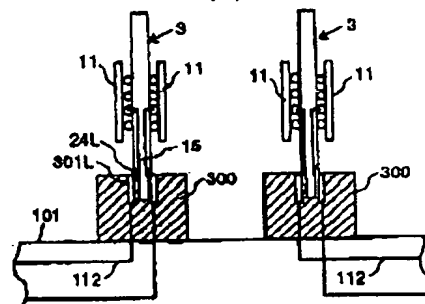
(B)



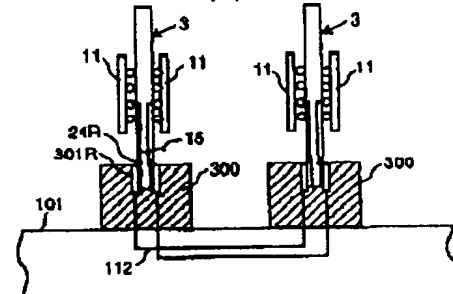
【図33】

図33

(A)

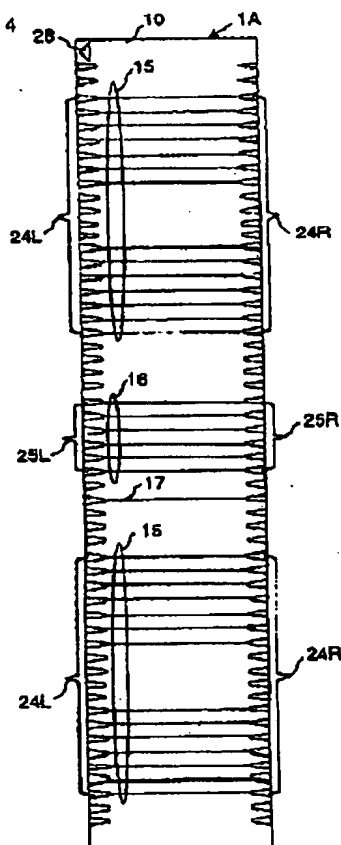


(B)



【図34】

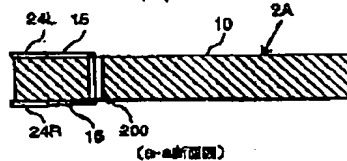
図34



【図36】

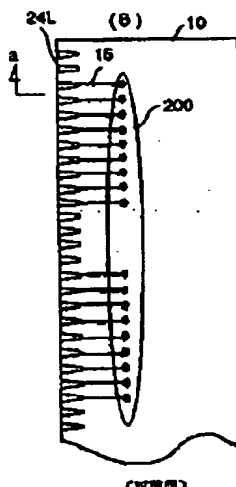
図36

(A)



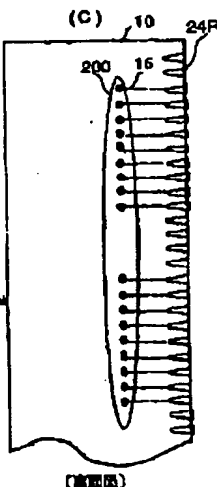
(B-a断面図)

(B)



(平面図)

(C)

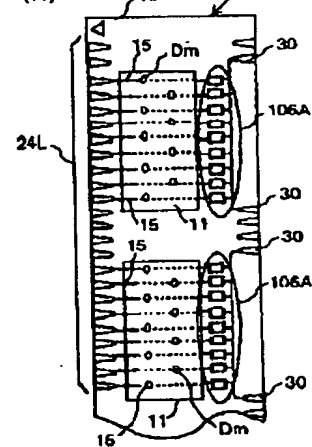


(断面図)

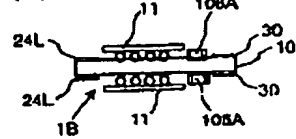
【図38】

図38

(A)

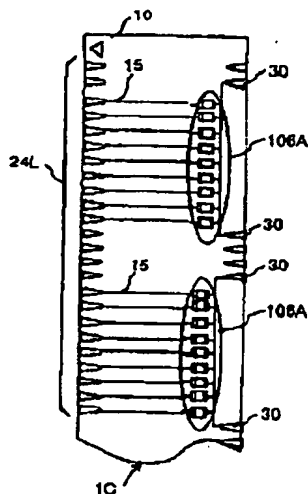


(B)



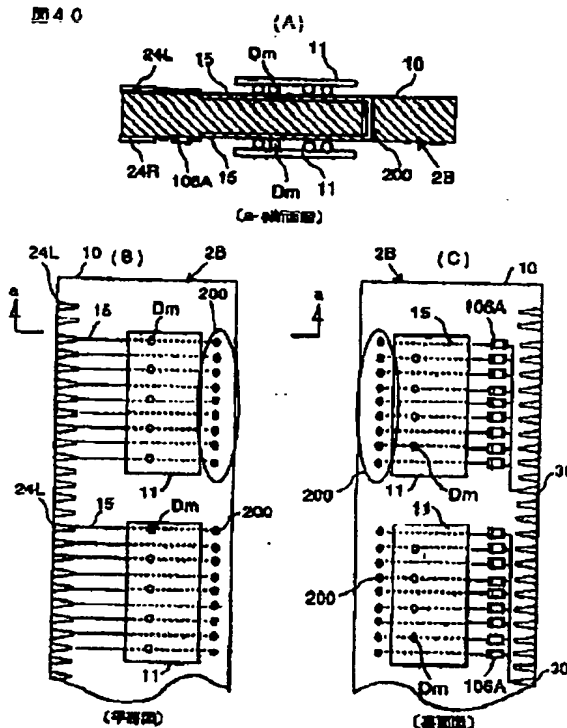
【図39】

図39



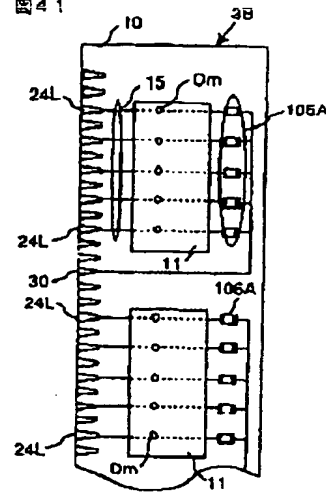
【図40】

図40



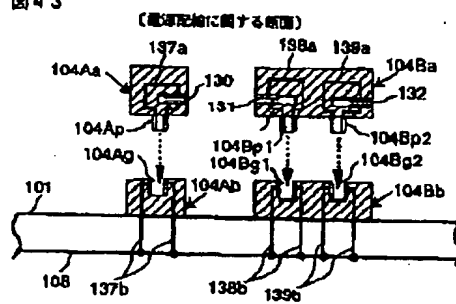
【図41】

図41



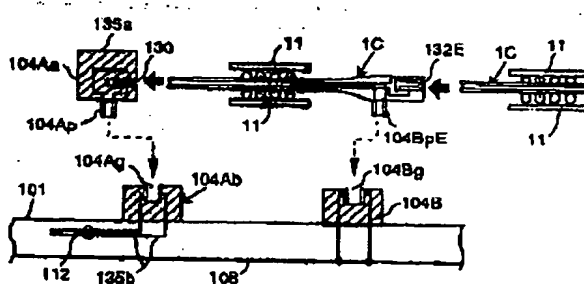
【図43】

図43



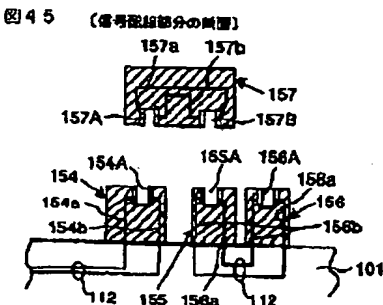
【図44】

図44



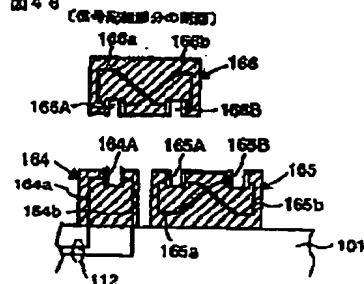
【図45】

図45



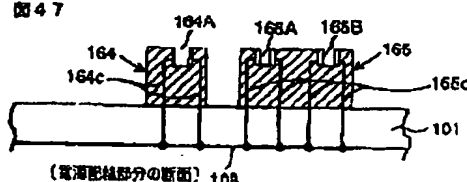
【図46】

図46

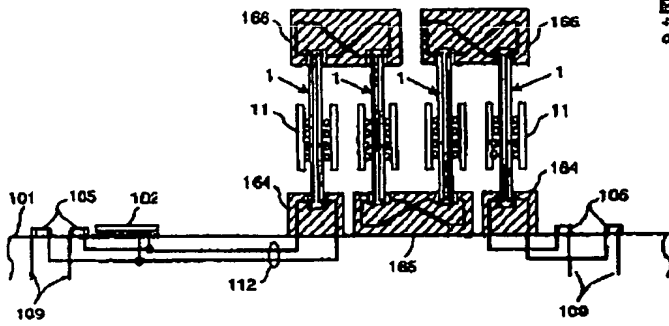


【図47】

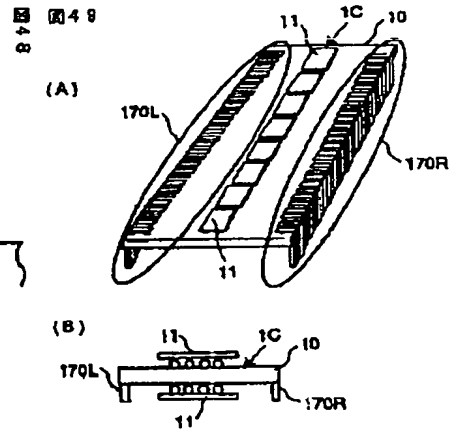
図47



【図48】

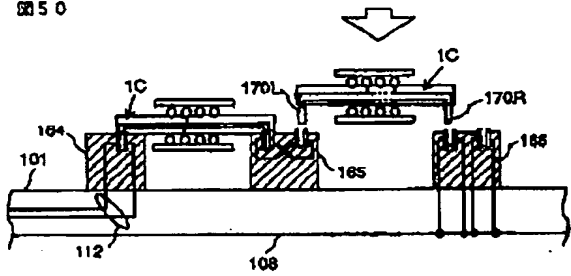


【図49】



【図50】

図50



【図51】

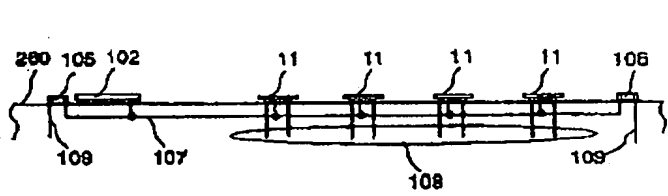
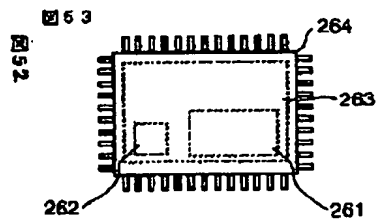


図51

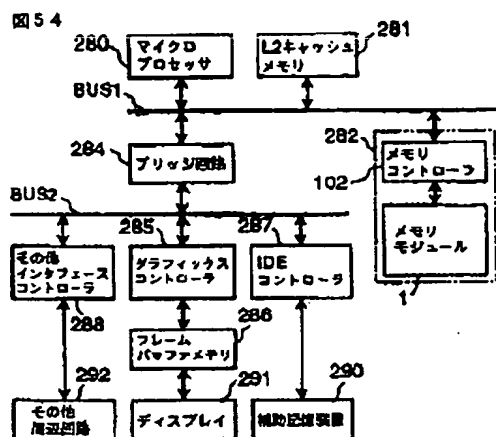
【図52】



【図53】



【図54】



フロントページの続き

(72)発明者 中込 儀延

東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体グループ内

Fターム(参考) 5B060 MB00 MM01